

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-051196

(43)Date of publication of application : 21.02.2003

(51)Int.Cl.

G11C 16/02
 G11C 16/04
 H01L 21/8247
 H01L 27/115
 H01L 29/788
 H01L 29/792

(21)Application number : 2002-154977

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO. LTD

(22)Date of filing : 29.05.2002

(72)Inventor : KATO KIYOSHI

(30)Priority

Priority number : 2001165938

Priority date : 31.05.2001

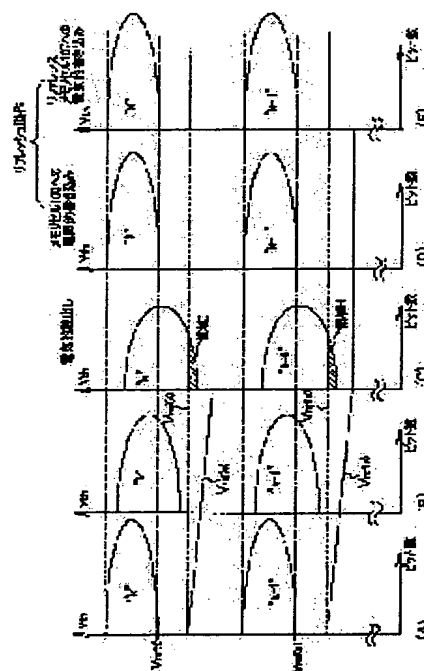
Priority country : JP

(54) NON-VOLATILE MEMORY AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide binary and multi-valued non-volatile memories and their driving method to solve a problem caused by shift phenomenon by elapse of a time and read-out stress.

SOLUTION: The non-volatile memories can accurately read out information of a memory transistor in which shift phenomenon is caused to perform electrical read-out of the memory transistor using reference voltage generated from a refresh-memory transistor. Also, in this refresh-operation, a refresh-operation period can be made longer than conventional one, reliability of information stored in the memory transistor is improved. Also, as margin between respective threshold voltage distributions can be made small, integration of multi-valued non-volatile memory is improved.



LEGAL STATUS

[Date of request for examination]

19.05.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-51196

(P 2 0 0 3 - 5 1 1 9 6 A)

(43) 公開日 平成15年 2 月 21 日 (2003. 2. 21)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G11C 16/02		G11C 17/00	614 5B025
16/04		H01L 29/78	371 5F083
H01L 21/8247		27/10	434 5F101
27/115		G11C 17/00	624
29/788		611 E	

審査請求 未請求 請求項の数26 O L (全22頁) 最終頁に続く

(21) 出願番号 特願2002-154977(P 2002-154977)
(22) 出願日 平成14年 5 月 29 日 (2002. 5. 29)
(31) 優先権主張番号 特願2001-165938(P 2001-165938)
(32) 優先日 平成13年 5 月 31 日 (2001. 5. 31)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 加藤 清
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

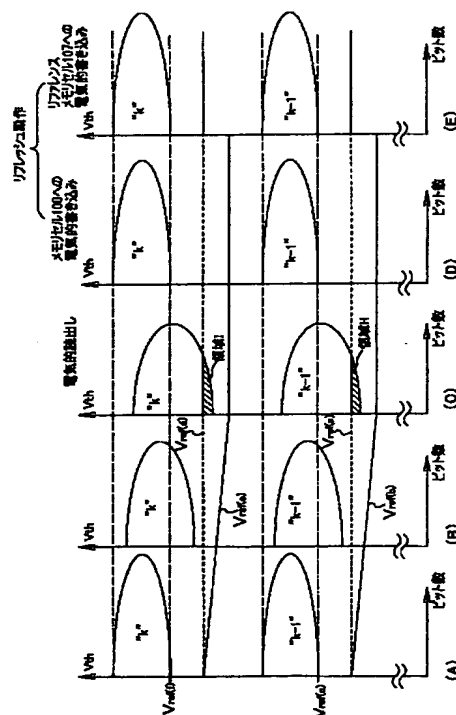
最終頁に続く

(54) 【発明の名称】 不揮発性メモリ及びその駆動方法

(57) 【要約】 (修正有)

【課題】 時間の経過に伴うシフト現象及び読み出しストレスに起因した問題を解決することを課題とする。また、前記問題を解決した2値及び多値の不揮発性メモリ及びその駆動方法を提供することを課題とする。

【解決手段】 本発明の不揮発性メモリは、リフレッシュメモリトランジスタから発生する参照電圧を用いて、メモリトランジスタの電氣的読み出しを行うため、シフト現象が生じたメモリトランジスタが有する情報を正確に読み出すことが出来る。また、本発明のリフレッシュ動作は、リフレッシュ動作を行う期間を従来よりも長くすることが可能となり、メモリトランジスタに記憶された情報の信頼性が向上する。また、しきい値電圧の分布間のマージンを小さくすることが出来るため、多値の不揮発性メモリの集積度が向上する。



【特許請求の範囲】

【請求項 1】メモリトランジスタと、リファレンスメモリトランジスタとを有する不揮発性メモリであって、前記リファレンスメモリトランジスタのしきい値電圧を用いて、前記メモリトランジスタのしきい値電圧の電氣的読み出しを行う読み出し手段と、

前記メモリトランジスタのしきい値電圧が第 1 参照電圧よりも高くなるまで、前記メモリトランジスタに電氣的書き込みを行う第 1 書き込み手段と、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行う第 2 書き込み手段とを有することを特徴とする不揮発性メモリ。

【請求項 2】メモリトランジスタと、リファレンスメモリトランジスタとを有する不揮発性メモリであって、前記リファレンスメモリトランジスタの参照電圧により読み出された前記メモリトランジスタの第 1 しきい値電圧と、第 1 参照電圧により読み出された前記メモリトランジスタの第 2 しきい値電圧とが、同一の情報のしきい値電圧の分布に属するまで、前記メモリトランジスタに電氣的書き込みを行う第 1 書き込み手段と、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行う第 2 書き込み手段とを有することを特徴とする不揮発性メモリ。

【請求項 3】複数のメモリトランジスタが直列に接続されたユニットセルと、リファレンスメモリトランジスタとを有する不揮発性メモリであって、

前記リファレンスメモリトランジスタのしきい値電圧を用いて、前記メモリトランジスタのしきい値電圧の電氣的読み出しを行う読み出し手段と、

前記メモリトランジスタのしきい値電圧が第 1 参照電圧よりも高くなるまで、前記メモリトランジスタに電氣的書き込みを行う第 1 書き込み手段と、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行う第 2 書き込み手段とを有することを特徴とする不揮発性メモリ。

【請求項 4】複数のメモリトランジスタが直列に接続されたユニットセルと、リファレンスメモリトランジスタとを有する不揮発性メモリであって、

前記リファレンスメモリトランジスタの参照電圧により読み出された前記メモリトランジスタの第 1 のしきい値電圧と、第 1 の参照電圧により読み出された前記メモリトランジスタの第 2 のしきい値電圧とが、同一の情報のしきい値電圧の分布に属するまで、前記メモリトランジスタに電氣的書き込みを行う第 1 書き込み手段と、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行う第 2 書き込み

手段とを有することを特徴とする不揮発性メモリ。

【請求項 5】メモリトランジスタと、リファレンスメモリトランジスタと、タイマーとを有する不揮発性メモリであって、

前記タイマーにより測定された経過時間が、任意に設定された設定時間に達するごとに、前記リファレンスメモリトランジスタの参照電圧により読み出された前記メモリトランジスタのしきい値電圧が第 1 参照電圧よりも高くなるまで、前記メモリトランジスタに電氣的書き込みを行う第 1 書き込み手段と、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行う第 2 書き込み手段とを有することを特徴とする不揮発性メモリ。

【請求項 6】請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 参照電圧は前記第 2 参照電圧よりも高いことを特徴とする不揮発性メモリ。

【請求項 7】請求項 1 乃至請求項 5 のいずれか一項において、

前記第 2 参照電圧は前記リファレンスメモリトランジスタのしきい値電圧よりも高いことを特徴とする不揮発性メモリ。

【請求項 8】請求項 1 乃至請求項 5 のいずれか一項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、活性領域と、電荷蓄積領域と、コントロールゲートとをそれぞれ有し、

前記電荷蓄積領域は、前記活性領域と前記コントロールゲートとの間に設けられており、且つ、前記コントロールゲートと重なっていることを特徴とする不揮発性メモリ。

【請求項 9】請求項 1 乃至請求項 5 のいずれか一項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、活性領域と、フローティングゲートと、コントロールゲートとをそれぞれ有し、

前記フローティングゲートは、前記活性領域と前記コントロールゲートとの間に設けられており、且つ、前記コントロールゲートと重なっていることを特徴とする不揮発性メモリ。

【請求項 10】請求項 1 乃至請求項 5 のいずれか一項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、活性領域と、窒化膜と、コントロールゲートとをそれぞれ有し、

前記窒化膜は、前記活性領域と前記コントロールゲートとの間に設けられており、且つ、前記コントロールゲートと重なっていることを特徴とする不揮発性メモリ。

【請求項 11】請求項 1 乃至請求項 5 のいずれか一項に

において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、活性領域と、クラスタ層と、コントロールゲートとをそれぞれ有し、

前記クラスタ層は、前記活性領域と前記コントロールゲートとの間に設けられており、且つ、前記コントロールゲートと重なっていることを特徴とする不揮発性メモリ。

【請求項 12】請求項 1 乃至請求項 5 のいずれか一項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、多値の情報を記憶することを特徴とする不揮発性メモリ。

【請求項 13】請求項 1 乃至請求項 12 のいずれか一項に記載の不揮発性メモリを記憶媒体として用いることを特徴とする電子機器。

【請求項 14】メモリトランジスタと、リファレンスメモリトランジスタとを有する不揮発性メモリの駆動方法であって、

前記リファレンスメモリトランジスタのしきい値電圧を用いて、前記メモリトランジスタのしきい値電圧の電氣的読み出しを行い、

前記メモリトランジスタのしきい値電圧が第 1 参照電圧よりも高くなるまで、前記メモリトランジスタに電氣的書き込みを行い、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行うことを特徴とする不揮発性メモリの駆動方法。

【請求項 15】メモリトランジスタと、リファレンスメモリトランジスタとを有する不揮発性メモリの駆動方法であって、

前記リファレンスメモリトランジスタの参照電圧により読み出された前記メモリトランジスタの第 1 しきい値電圧と、第 1 参照電圧により読み出された前記メモリトランジスタの第 2 しきい値電圧とが、同一の情報のしきい値電圧の分布に属するまで、前記メモリトランジスタに電氣的書き込みを行い、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行うことを特徴とする不揮発性メモリの駆動方法。

【請求項 16】複数のメモリトランジスタが直列に接続されたユニットセルと、リファレンスメモリトランジスタを有する不揮発性メモリの駆動方法であって、前記リファレンスメモリトランジスタのしきい値電圧を用いて、前記メモリトランジスタのしきい値電圧の電氣的読み出しを行い、

前記メモリトランジスタのしきい値電圧が第 1 参照電圧よりも高くなるまで、前記メモリトランジスタに電氣的

書き込みを行い、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行うことを特徴とする不揮発性メモリの駆動方法。

【請求項 17】複数のメモリトランジスタが直列に接続されたユニットセルと、リファレンスメモリトランジスタを有する不揮発性メモリの駆動方法であって、

前記リファレンスメモリトランジスタの参照電圧により読み出された前記メモリトランジスタの第 1 のしきい値電圧と、第 1 の参照電圧により読み出された前記メモリトランジスタの第 2 のしきい値電圧とが、同一の情報のしきい値電圧の分布に属するまで、前記メモリトランジスタの電氣的書き込みを行い、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタへの電氣的書き込みを行うことを特徴とする不揮発性メモリの駆動方法。

【請求項 18】メモリトランジスタと、リファレンスメモリトランジスタと、タイマーとを有する不揮発性メモリの駆動方法であって、

前記タイマーにより測定された経過時間が、任意に設定された設定時間に達するごとに、

前記リファレンスメモリトランジスタの参照電圧により読み出された前記メモリトランジスタのしきい値電圧が第 1 参照電圧よりも高くなるまで、前記メモリトランジスタに電氣的書き込みを行い、

前記リファレンスメモリトランジスタのしきい値電圧が第 2 参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行うことを特徴とする不揮発性メモリの駆動方法。

【請求項 19】請求項 14 乃至請求項 18 のいずれか一項において、

前記第 1 参照電圧は前記第 2 参照電圧よりも高いことを特徴とする不揮発性メモリの駆動方法。

【請求項 20】請求項 14 乃至請求項 18 のいずれか一項において、

前記第 2 参照電圧は前記リファレンスメモリトランジスタのしきい値電圧よりも高いことを特徴とする不揮発性メモリの駆動方法。

【請求項 21】請求項 14 乃至請求項 18 のいずれか一項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、活性領域と、電荷蓄積領域と、コントロールゲートとをそれぞれ有し、

前記電荷蓄積領域は、前記活性領域と前記コントロールゲートとの間に設けられており、且つ、前記コントロールゲートと重なっていることを特徴とする不揮発性メモリの駆動方法。

【請求項 22】請求項 14 乃至請求項 18 のいずれか一

10

20

30

40

50

項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、活性領域と、フローティングゲートと、コントロールゲートとをそれぞれ有し、

前記フローティングゲートは、前記活性領域と前記コントロールゲートとの間に設けられており、且つ、前記コントロールゲートと重なっていることを特徴とする不揮発性メモリの駆動方法。

【請求項 23】請求項 14 乃至請求項 18 のいずれか一項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、活性領域と、窒化膜と、コントロールゲートとをそれぞれ有し、

前記窒化膜は、前記活性領域と前記コントロールゲートとの間に設けられており、且つ、前記コントロールゲートと重なっていることを特徴とする不揮発性メモリの駆動方法。

【請求項 24】請求項 14 乃至請求項 18 のいずれか一項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、活性領域と、クラスタ層と、コントロールゲートとをそれぞれ有し、

前記クラスタ層は、前記活性領域と前記コントロールゲートとの間に設けられており、且つ、前記コントロールゲートと重なっていることを特徴とする不揮発性メモリの駆動方法。

【請求項 25】請求項 14 乃至請求項 18 のいずれか一項において、

前記メモリトランジスタ及び前記リファレンスメモリトランジスタは、多値の情報を記憶することを特徴とする不揮発性メモリの駆動方法。

【請求項 26】請求項 14 乃至請求項 25 のいずれか一項に記載の不揮発性メモリを記憶媒体として用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は不揮発性メモリに関する。より詳細には、電気的な書き込み及び電気的な消去を行う不揮発性メモリ（EEPROM又はElectrically Erasable and Programmable Read Only Memory）に関し、1ビット毎電気的な消去可能なEEPROM、フラッシュメモリなどをその範疇に含む。

【0002】

【従来の技術】メモリは、大別して揮発性メモリと不揮発性メモリの2つに分類される。代表的な揮発性メモリとしては、SRAM（Static Random Access Memory）やDRAM（Dynamic Random Access Memory）などが挙げられる。また代表的な不揮発性メモリとしては、EEPROM、フラッシュEEPROM、磁気ディスクなどが挙げられる。揮発性メモリのSRAMやDRAMは、一時的に使用するデータが記

憶され電源を切るとデータが失われてしまうという欠点がある。一方、不揮発性メモリのEEPROM、フラッシュEEPROM、磁気ディスクなどは電源を切ってもデータが失われることはなく、システム起動のためのプログラムなどに用いられている。

【0003】不揮発性メモリのEEPROMやフラッシュEEPROMは、磁気ディスクと比較すると、集積度、耐衝撃性、消費電力、書き込み/読み出し速度などの点において優れた特性を有する。その結果、EEPROM及びフラッシュEEPROMは、磁気ディスクや揮発性メモリなどの代替品として用いられている。

【0004】特にEEPROMの集積度は、1年間で約2倍の向上が実現し、速いペースで開発が進んでいる。そのため、ギガビット容量のEEPROMの量産が近々実現することが予想され、集積度においてもDRAMを追い越すと予想される。このような集積度の向上を支える技術としては、回路構成の改善、微細化技術又は多値技術などが挙げられる。

【0005】上記技術のうち、一つのメモリセルで3値以上のデータを保持する技術である多値技術が近年注目されている。多値技術は、電荷蓄積領域に蓄積された電荷量をコントロールし、メモリセルの3つ以上の異なる状態を区別する技術である。実際、メモリセルが4つの異なる状態を区別する4値のフラッシュメモリが製品化されている。

【0006】ここで、EEPROMやフラッシュEEPROMなどの電気的に書き込み及び電気的に消去が可能な不揮発性メモリのメモリセルアレイ（Memory Cell Array又はMCA）の代表的な回路の一例を図13を用いて説明する。

【0007】メモリセルアレイ401は、m本のワード線（WL1～WLm）と、n本のビット線（BL1～BLn）と、マトリクス状に配置された複数のメモリセル400とを有する。メモリセル400は、メモリトランジスタ404を有する。メモリトランジスタ404は、フローティングゲート、コントロールゲート、ソース領域及びドレイン領域を有する。メモリトランジスタ404のコントロールゲートは、ワード線（WL1～WLm）のいずれか一つと接続されている。メモリトランジスタ404のソース領域とドレイン領域は、一方はビット線（BL1～BLn）のいずれか一つと接続されており、もう一方は共通電極（SC）に接続されている。メモリセルアレイ401の周囲には、ビット線側駆動回路402、ワード線側駆動回路403、書き込み・消去回路406a、読み出し回路406bとが設けられている。

【0008】図14（A）～（C）は、図13で示したメモリトランジスタ404の断面図を簡単に示したものである。図14（A）～（C）において、1はフローティングゲート（FG）、2はコントロールゲート（CG）、3は基板、4はソース領域（S）、5はドレイン

領域 (D)、 e^- はフローティングゲート (FG) 1 に注入された電子を示している。基板 3 は、ソース領域 4 及びドレイン領域 5 に不純物元素が添加されたシリコン基板であり、一導電型が付与されている。ここでは、仮に、ソース領域 4 及びドレイン領域 5 の極性を n 型とし、基板 3 の極性を p 型とする。

【0009】そこで、以下には 2 値の情報を有するメモリセル 400 の電氣的書き込みについて図 14 (B) を用いて説明し、メモリセル 400 の電氣的読み出しについて図 14 (C)、図 15 (A) を用いて説明する。

【0010】最初にメモリセル 400 の電氣的書き込みについて、図 14 (B) を用いて説明する。仮にコントロールゲート (CG) 2 に、電圧 V_c (ここでは仮に 1.2 V とする) を印加して、ドレイン領域 5 に電圧 V_d (ここでは仮に 6 V とする) を印加して、ソース領域 4 に接地電位 (0 V) を印加したとする。そうすると、メモリセル 400 は、オン状態となってメモリセル 400 のソース領域 4 からドレイン領域 5 に向かって電子が流れる。なお本明細書では、コントロールゲート (CG) 2 と、ソース領域 4 と、ドレイン領域 5 とに電圧 (信号電圧) を印加することをバイアスと呼ぶ。

【0011】そして、ドレイン領域 5 の近傍のピンチオフ領域 (図示せず) で加速された電子の一部がチャネルホットエレクトロン (CHE) となり、これがフローティングゲート (FG) 1 に捕獲される。つまり、ホットエレクトロン (HE) となる電子の一部が、フローティングゲート (FG) 1 に蓄積される。フローティングゲート (FG) 1 に蓄積される電子の量は、バイアスする前のしきい値電圧と、バイアスするときにメモリトランジスタのコントロールゲート (CG) 2 及びソース領域 4 並びにドレイン領域 5 とに印加される電圧と、該電圧の印加時間との 3 つの要素によって決定される。

【0012】フローティングゲート (FG) 1 に電子が注入されると、メモリセル 400 のしきい値電圧は上昇する。そしてメモリセル 400 は、該メモリセル 400 のしきい値電圧によって、“0” 又は “1” のどちらの情報を有しているかが決定される。

【0013】次いで、メモリセル 400 の電氣的読み出しについて、図 14 (C)、図 15 (A) を用いて説明する。

【0014】図 15 (A) は、フローティングゲート (FG) 1 に電子が注入されているメモリセル 400 (“1” の情報を有する) と、フローティングゲート (FG) 1 に電子が注入されていないメモリセル 400 (“0” の情報を有する) のしきい値電圧の分布を示す図である。図 15 の縦軸はしきい値電圧、横軸はメモリセルアレイ 401 におけるメモリセル 400 の数 (ビット数) を示している。

【0015】図 15 (A) に示すように、しきい値電圧が 5.0 V 以上のメモリセル 400 は “1” の情報を有

し、しきい値電圧が 5.0 V 以下のメモリセル 400 は “0” の情報を有する。このようにして、しきい値電圧が 5.0 V のときを参照して、メモリセル 400 が “1” 又は “0” のどちらの情報を有しているかを判断する。本明細書では、このようなしきい値電圧を参照電圧とよぶ。

【0016】ここで一例として、図 14 (C) に示すように、コントロールゲート (CG) 2 に電圧 V_c (ここでは仮に 5 V とする) を印加し、ドレイン領域 5 に電圧 V_d (ここでは仮に 2 V とする) を印加し、メモリセル 400 のソース領域 4 に接地電位 (ここでは仮に 0 V とする) を印加する。そしてこの条件において、電氣的読み出しを行う。

【0017】仮に、“0” の情報を有するメモリセル 400 が、図 14 (C) に示すような条件でバイアスされたとする。そうすると、メモリセル 400 はオン状態となり、電流が流れる。

【0018】一方、“1” の情報を有するメモリセル 400 が、図 14 (C) に示すような条件でバイアスされたとする。この場合、フローティングゲート (FG) 1 には電荷が蓄積されており、しきい値電圧が上昇しているために、メモリセル 400 はオフ状態のままであり、電流が流れない。この電流の有無を検出することで、メモリセル 400 が “0” 又は “1” のどちらの情報であるかを判断することができる。

【0019】続いて、フローティングゲート (FG) 1 に蓄積された電荷の量を調整することによって、一つのメモリセル 400 により多くの情報を書き込む多値技術について図 16 を用いて説明する。図 16 は、多値技術を用いて書き込まれたメモリセル 400 のしきい値電圧の分布を示す図である。

【0020】ここで、仮にメモリセル 400 に蓄積された電荷の量を a 、 b 、 c 、 d で表し、それらの大小関係は $a > b > c > d$ であるとする。そして、メモリセル 400 に蓄積された電荷の量が a の状態 (“0” の情報を有する) におけるメモリセル 400 のしきい値電圧の分布を A、メモリセル 400 に蓄積された電荷の量が b の状態 (“1” の情報を有する) におけるメモリセル 400 のしきい値電圧の分布を B、メモリセル 400 に蓄積された電荷の量が c の状態 (“2” の情報を有する) におけるメモリセル 400 のしきい値電圧の分布を C、メモリセル 400 に蓄積された電荷の量が d の状態 (“3” の情報を有する) におけるメモリセル 400 のしきい値電圧の分布を D とする。

【0021】そうすると、しきい値電圧の分布 A は 0.5 V ~ 1.5 V、しきい値電圧の分布 B は 1.5 V ~ 3.0 V、しきい値電圧の分布 C は 3.0 ~ 4.5 V、しきい値電圧の分布 D は 4.5 V 以上となる。このとき、1.5 V、3.0 V、4.5 V の 3 つの電圧値が参照電圧となっている。なお多値の不揮発性メモリの動作

は、上述した 2 値の不揮発性メモリの動作に準ずるので、ここでは省略する。

【0022】以上のように、多値技術とはメモリセル 400 のしきい値電圧を制御することにより、1 つのメモリセル 400 に多くの情報を記憶させることが出来ることを指す。

【0023】ところで、2 値及び多値の不揮発性メモリは、電氣的書き込み動作及び電氣的消去の動作においてメモリトランジスタのしきい値電圧が所定の範囲内であることを確認するベリファイ動作（ベリファイ書き込み及びベリファイ消去）が行われる。特に、多値の不揮発性メモリでは、メモリトランジスタに蓄積される電子の量を高精度に制御する必要があるため、ベリファイ動作は必要不可欠となっている。

【0024】なおベリファイ動作とは、書き込み／消去の期間と、書き込み／消去後の状態が所定の範囲内にあることを確かめる読み出し期間とを交互に行う動作のことを呼ぶ。ここでベリファイ動作について、図 17 を用いて説明する。

【0025】図 17 (A) はメモリセル 400、読み出し回路 406 a 及び書き込み／消去回路 406 b とを示した図である。図 17 (A) において、(x、y) 座標に位置するメモリセル 400 に、読み出し回路 406 a と書き込み／消去回路 406 b とが接続されている。読み出し回路 406 a からはベリファイ信号 (Sv) が出力され、該ベリファイ信号 (Sv) が書き込み／消去回路 406 b に入力される。書き込み／消去回路 406 b では、ベリファイ信号 (Sv) を参照して、メモリセル 400 の書き込み／消去を行う。

【0026】次いで、ベリファイ動作における電氣的書き込み動作及び電氣的消去の動作を図 17 (B) を用いて説明する。まず読み出し回路 406 a が動作し (active と表示)、電氣的読み出し動作が行われる。この際、書き込み／消去回路 406 b は動作しない (not active と表示)。読み出し回路 406 a から出力されるベリファイ信号 (Sv) は、読み出されたメモリセル 400 の状態が目的とする状態と異なる場合には Low の信号となり、読み出されたメモリセル 400 の状態が目的とする状態である場合には High の信号となる。

【0027】ベリファイ信号 (Sv) が Low の信号の場合には、電氣的読み出し動作が終了した後に書き込み／消去回路 406 b が動作し (active)、一定期間の書き込み／消去が行われる。次いで、再び電氣的読み出し動作が行われ、メモリセル 400 の状態と目的とする状態との比較が行われる。そして、同様にベリファイ信号 (Sv) が Low の信号であれば、再び一定期間の書き込み／消去が行われる。これらの動作をくりかえし、ベリファイ信号 (Sv) が High の信号となった時点で終了する。このような動作をベリファイ動作とよ

ぶ。

【0028】

【発明が解決しようとする課題】上述したメモリセル 400 に電子を注入して、しきい値電圧を所定の値に上昇させた後に放置すると、時間の経過に伴ってメモリセル 400 のしきい値電圧が低下するシフト現象が起こる。このシフト現象は、メモリセル 400 のフローティングゲート (FG) 1 に蓄積された電子が、時間の経過に伴ってフローティングゲート (FG) 1 から放出してしまうことが原因で生じる現象である。

【0029】ここで、シフト現象について、図 15、16 を用いて説明する。

【0030】図 15 (A) は 2 値の不揮発性メモリのメモリセルに電子を注入した直後のメモリセルアレイのしきい値電圧の分布を示し、図 15 (B) はある一定の時間が経過した後のメモリセルアレイのしきい値電圧の分布を示している。図 16 (A) は 4 値の不揮発性メモリのメモリセルに電子を注入した直後のメモリセルアレイのしきい値電圧の分布を示し、図 16 (B) はある一定の時間が経過した後のメモリセルアレイのしきい値電圧の分布を示している。

【0031】図 15 (B) に示す 2 値の不揮発性メモリには、しきい値電圧の分布に十分なマージン (しきい値電圧の分布の間の差) があるため、しきい値電圧が多少低下しても情報の電氣的読み出しにはさほど影響しないように見える。しかしながら、2 値の不揮発性メモリにおいては、低電源電圧化が進んでいるため、十分なマージンを確保することは難しくなっている。

【0032】また、図 16 (B) に示した多値の不揮発性メモリには、しきい値電圧の分布の間のマージンが非常に小さくなっており、シフト現象によるしきい値電圧の分布の低下は無視できない。図 16 (B) に示すように、分布 C 及び分布 D の斜線で囲まれた領域は、“2”又は“3”の情報を有していたが、シフト現象により“1”又は“2”の情報を有するしきい値電圧の分布領域に属してしまっている。この状態のまま、電氣的読み出しを行うと、記憶された情報が他の情報に変換されてしまう。その結果データ破壊が生じてしまう。

【0033】なおシフト現象は、時間の経過に伴う原因以外に読み出しストレスによっても生じる。読み出しストレスとは、電氣的読み出し動作を行うときに、メモリセルに印加される電圧によって、該メモリセルと同じ行又は同じ列のメモリセルのフローティングゲート (FG) 1 から電子が放出してしまう現象のことをよぶ。

【0034】本発明は上述した実情を鑑みてなされたものであり、時間の経過に伴うシフト現象及び読み出しストレスに起因した上記問題を解決することを課題とする。また、前記課題を解決した 2 値及び多値の不揮発性メモリ及びその駆動方法を提供することを課題とする。

【0035】

【課題を解決するための手段】本発明は、上述した課題を解決するために、リフレッシュ動作を行う手段を有する不揮発性メモリを提供する。なおリフレッシュ動作とは、メモリトランジスタに蓄積された電子が自然と放出されてデータ破壊が生じるのを防ぐため、また読み出しストレスによってメモリトランジスタに蓄積された電子が放出されデータ破壊が生じるのを防ぐために、メモリトランジスタに再び電子を注入して電荷を蓄積することである。なお、本発明は、リファレンスメモリトランジスタから発生する参照電圧を用いて電氣的読み出しを行い、且つメモリトランジスタ及びリファレンスメモリトランジスタの両方に対してリフレッシュ動作を行うことを特徴とする。

【0036】本発明は、メモリトランジスタと、リファレンスメモリトランジスタとを有する不揮発性メモリであって、前記リファレンスメモリトランジスタのしきい値電圧を用いて、前記メモリトランジスタのしきい値電圧の電氣的読み出しを行う読み出し手段と、前記メモリトランジスタのしきい値電圧が第1参照電圧よりも高くなるまで、前記メモリトランジスタに電氣的書き込みを行う第1書き込み手段と、前記リファレンスメモリトランジスタのしきい値電圧が第2参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行う第2書き込み手段とを有することを特徴とする。

【0037】本発明は、メモリトランジスタと、リファレンスメモリトランジスタとを有する不揮発性メモリであって、前記リファレンスメモリトランジスタの参照電圧により読み出された前記メモリトランジスタの第1しきい値電圧と、第1参照電圧により読み出された前記メモリトランジスタの第2しきい値電圧とが、同一の情報のしきい値電圧の分布に属するまで、前記メモリトランジスタに電氣的書き込みを行う第1書き込み手段と、前記リファレンスメモリトランジスタのしきい値電圧が第2参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行う第2書き込み手段とを有することを特徴とする。

【0038】なお前記読み出し手段とは、メモリトランジスタ及びリファレンスメモリトランジスタ、並びにセンスアンプ回路などが設けられた読み出し回路に相当する。また前記第1書き込み手段とは、メモリトランジスタ、書き込み回路などに相当する。前記第2書き込み手段とは、リファレンスメモリトランジスタ、書き込み回路などに相当する。

【0039】本発明は、メモリトランジスタと、リファレンスメモリトランジスタとを有する不揮発性メモリの駆動方法であって、前記リファレンスメモリトランジスタのしきい値電圧を用いて、前記メモリトランジスタのしきい値電圧の電氣的読み出しを行い、前記メモリトランジスタのしきい値電圧が第1参照電圧よりも高くなる

まで、前記メモリトランジスタに電氣的書き込みを行い、前記リファレンスメモリトランジスタのしきい値電圧が第2参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行うことを特徴とする。

【0040】本発明は、メモリトランジスタと、リファレンスメモリトランジスタとを有する不揮発性メモリの駆動方法であって、前記リファレンスメモリトランジスタの参照電圧により読み出された前記メモリトランジスタの第1しきい値電圧と、第1参照電圧により読み出された前記メモリトランジスタの第2しきい値電圧とが、同一の情報のしきい値電圧の分布に属するまで、前記メモリトランジスタに電氣的書き込みを行い、前記リファレンスメモリトランジスタのしきい値電圧が第2参照電圧よりも高くなるまで、前記リファレンスメモリトランジスタに電氣的書き込みを行うことを特徴とする。

【0041】

【発明の実施の形態】（実施の形態1）本実施の形態では、本発明の不揮発性メモリ及びその駆動方法に関して図1、2を用いて説明する。本発明のリフレッシュ動作は、2値及び多値の不揮発性メモリのどちらにも適用することが出来る。そして本実施の形態では、k値の不揮発性メモリについて説明する（kは自然数、 $k \geq 2$ ）。

【0042】まず本発明の不揮発性メモリの構成について図1を用いて説明する。次いで、該不揮発性メモリが有するメモリセルの動作について図1、2を用いて説明する。

【0043】図1には、本発明のメモリセルアレイ101を示す。メモリセルアレイ101は、m本のワード線（WL1～WLn）、n本のビット線（BL1～BLn）及びマトリクス状に配列された複数のメモリセル100とを有する。メモリセル100は、メモリトランジスタ104を有する。メモリトランジスタ104は、フローティングゲート、コントロールゲート、ソース領域及びドレイン領域を有する。メモリトランジスタ104のコントロールゲートは、ワード線（WL1～WLn）のいずれか一つと接続されている。メモリトランジスタ104のソース領域とドレイン領域は、一方はビット線（BL1～BLn）のいずれか一つと接続されており、もう一方は共通電極（SC）に接続されている。

【0044】メモリセルアレイ101の周囲には、Yアドレスデコーダ102、ワード線側駆動回路103、マルチプレクサ105、書き込み・消去回路106a、読み出し回路106b、ベリファイ回路134及びバッファ133が設けられている。読み出し回路106bは、バイアス回路130a、バイアス回路130b、センスアンプ回路123及びデータラッチ群132を有する。バイアス回路130aは、マルチプレクサ105を介して任意のメモリセル100と接続している。バイアス回路130bは、リファレンスメモリセルアレイ109に

設けられた任意のリファレンスメモリセル 107 と接続している。

【0045】リファレンスメモリセル 107 は、複数個のリファレンスメモリトランジスタ 108 を有する。図 1 には、 (1×1) 個のリファレンスメモリセル 107 が図示されているが、本発明はこれに限定されない。リファレンスメモリセル 107 の数はいくつ設けられていてもよい。但し、 k 値の不揮発性メモリには、少なくとも $(k-1)$ 個のリファレンスメモリセル 107 が設けられることが必要である。

【0046】次いで、本発明の不揮発性メモリが有するメモリトランジスタの動作について、図 2 を用いて説明する。図 2 には、 k 値の不揮発性メモリのしきい値電圧の分布を示す。そして、該 k 値メモリが有するメモリセル 100 のしきい値電圧の分布の状態を、図 2 (A) ~ (E) の 5 つに分けて説明する。

【0047】図 2 (A) ~ (E) において、“ $k-1$ ” 又は “ k ” の情報を有するメモリセル 100 の数を横軸に示し、“ $k-1$ ” 又は “ k ” の情報を有するメモリセル 100 のしきい値電圧を縦軸に示す。また V_{ref1} ~ V_{ref5} は参照電圧を示す。

【0048】ここで、参照電圧 V_{ref1} よりも高く、参照電圧 V_{ref4} よりも低いしきい値電圧を有するメモリセル 100 は、“ $k-1$ ” の情報を有するものとする。また参照電圧 V_{ref4} よりも高いしきい値電圧を有するメモリセル 100 は、“ k ” の情報を有するものとする。

【0049】図 2 (A) は、メモリセル 100 のフローティングゲートに電子を注入した直後の状態を示す。図 2 (A) において、“ $k-1$ ” 及び “ k ” の情報を有するメモリセル 100 のしきい値電圧の分布は、それぞれ異なる範囲内のしきい値電圧の分布を示している。

【0050】図 2 (B) は、図 2 (A) の状態から、ある一定の期間が経過した状態を示している。図 2 (A) と図 2 (B) を見比べると、しきい値電圧の分布には、シフト現象が生じていることが分かる。つまり、メモリセル 100 に蓄積された電子が自然と放出されてしまった。その結果、図 2 (B) に示すしきい値電圧の分布は、図 2 (A) に示すしきい値電圧の分布に比べて低下していることが分かる。

【0051】次いで、図 2 (C) を参照する。図 2 (C) の状態は、図 2 (B) の状態から、ある一定の時間が経過した状態を示している。図 2 (B) と図 2

(C) を見比べると、しきい値電圧の分布には、さらにシフト現象が生じていることが分かる。つまり、時間の経過に伴い、メモリセル 100 に蓄積された電子は自然と放出されてしまった。その結果、図 2 (C) に示すしきい値電圧の分布は、図 2 (B) に示すしきい値電圧の分布に比べて低下していることが分かる。

【0052】ここで、図 2 (C) の状態における、メモリセル 100 の情報を読み出すことにする。つまり、メ

モリセル 100 のしきい値電圧を読み出して、メモリセル 100 が “ $k-1$ ” 又は “ k ” のどちらの情報を有しているかを調べることにする。

【0053】図 2 (C) の状態において、“ k ” の情報を有するメモリセル 104 のしきい値電圧の分布における領域 I (斜線で示す領域) のしきい値電圧は、参照電圧 V_{ref4} よりも低くなっている。この状態において、通常の方法で、メモリセル 100 の電氣的読み出しを行うと、領域 I の範囲のしきい値電圧に属するメモリセル 100 は、誤って “ $k-1$ ” の情報を有しているとして電氣的読み出しを行ってしまう。

【0054】そこで本発明は、参照電圧 V_{ref4} を用いずに、リファレンスメモリセル 107 から発生される参照電圧 V_{ref1} を用いる。参照電圧 V_{ref1} は、参照電圧 V_{ref4} よりも低い値になっている。

【0055】リファレンスメモリセル 107 は、メモリセル 100 と同様の特性を有しており、しきい値電圧の分布にも、同様のシフト現象が生じている。つまり、リファレンスメモリセル 107 の参照電圧 V_{ref1} を用いて、メモリセル 100 のしきい値電圧を読み出せば、領域 I の範囲のしきい値電圧に属するメモリセル 100 は、“ k ” の情報を有するものとして電氣的読み出しが行われる。その結果、シフト現象によるデータ破壊を防ぐことが出来る。

【0056】また、“ $k-1$ ” の情報を有するメモリセル 104 のしきい値電圧の分布において、領域 H (斜線で示す領域) のしきい値電圧は、参照電圧 V_{ref4} よりも低い値になっている。この状態において、通常の方法で、メモリセル 100 の電氣的読み出しを行うと、領域 H の範囲のしきい値電圧に属するメモリセル 100 は、誤って “ $k-2$ ” の情報を有しているとして電氣的読み出しを行ってしまう。

【0057】そこで本発明は、参照電圧 V_{ref1} を用いずに、リファレンスメモリセル 107 から発生される参照電圧 V_{ref1} を用いる。参照電圧 V_{ref1} は、参照電圧 V_{ref4} よりも低い値になっている。

【0058】リファレンスメモリセル 107 は、メモリセル 100 と同様の特性を有しており、しきい値電圧の分布にも、同様のシフト現象が生じている。つまり、リファレンスメモリセル 107 の参照電圧 V_{ref1} を用いて、メモリセル 100 のしきい値電圧を読み出すことが出来れば、領域 H の範囲のしきい値電圧に属するメモリセル 100 は、“ $k-1$ ” の情報を有しているとして電氣的読み出しが行われる。その結果、シフト現象によるデータ破壊を防ぐことが出来る。

【0059】なお、リファレンスメモリセル 107 を用いた電氣的読み出しについては、実施の形態 2 においてより詳細に説明する。

【0060】続いて、図 2 (A) の状態に戻すように、参照電圧 V_{ref1} 、 V_{ref4} を用いてメモリセル 100

への電氣的書き込みを行う (図 2 (D))。つまり、メモリセル 100 に蓄積された電荷は、時間の経過に伴い自然と放出されてしまった。また、メモリセル 100 に蓄積された電荷は、読み出しストレスによっても放出されてしまった。そのため、メモリセル 100 にある一定の量の電子の注入を行って、メモリセル 100 に電荷の注入が行われたばかりの状態 (図 2 (A) の状態) にする。

【0061】次いで、参照電圧 $V_{ref(a)}$ 、 $V_{ref(d)}$ を用いてリファレンスメモリセル 107 の電氣的書き込みを行う (図 2 (E))。このとき、参照電圧 $V_{ref(a)}$ と参照電圧 $V_{ref(b)}$ とが同じ値 (参照電圧 $V_{ref(a)}$ を示す点線と参照電圧 $V_{ref(b)}$ を示す実線が重なっている状態) となり、参照電圧 $V_{ref(d)}$ と参照電圧 $V_{ref(c)}$ とが同じ値 (参照電圧 $V_{ref(d)}$ を示す点線と参照電圧 $V_{ref(c)}$ を示す実線が重なっている状態) となる。これは、図 2

(D) の段階において、メモリセル 100 の電氣的書き込みを行ったことに合わせて、リファレンスメモリセル 107 とメモリセル 100 の状態を同じ状態にするために行う動作である。

【0062】上記のようにメモリセル 100 への電氣的書き込みを行うときに用いる参照電圧と、リファレンスメモリセル 107 への電氣的書き込みを行うときに用いる参照電圧とは異なる。また参照電圧 $V_{ref(a)} \sim V_{ref(d)}$ は、リファレンスメモリセル 107 から発生される電圧、又はバイアス回路 130a、130b などの外部に設けられた回路から発生される電圧を指す。

【0063】本明細書では、上述した図 2 (D) と図 2 (E) の動作を合わせてリフレッシュ動作と呼ぶ。

【0064】なお従来の不揮発性メモリにおいてもリフレッシュ動作は行われていた。しかし、該リフレッシュ動作は、本発明のリフレッシュ動作とは異なる。従来のリフレッシュ動作は、図 2 (B) の段階におけるしきい値電圧の分布を、図 2 (A) の段階におけるしきい値電圧の分布と同じになるように電子の注入を行う動作のことを呼んでいる。

【0065】本発明はリフレッシュメモリセル 107 を用いて、メモリセル 100 の電氣的読み出しを行う。そのため、本発明のリフレッシュ動作は、従来のリフレッシュ動作と比較すると、リフレッシュ動作を行う間隔を長くとることが出来る。また、電氣的読み出しを行う際の読み出しマージンを広く保つことが出来るため、データ破壊が生じにくい不揮発性メモリを提供することが出来る。

【0066】(実施の形態 2) 本実施の形態では、リファレンスメモリセルを用いたメモリセルの電氣的読み出し及びリフレッシュ動作について図 3 を用いて説明する。そして本実施の形態では、実施の形態 1 と同様に k 値メモリ (k は自然数、 $k \geq 2$) について説明する。

【0067】図 3 は、図 1 におけるメモリセル 100 と

リファレンスメモリセル 107 とが、読み出し回路 106b を介して電氣的に接続された部分を拡大した図である。なお図 3 においては、メモリセル 100 は、マルチプレクサ 105 を介して読み出し回路 106b と接続している。しかし、図 3 では説明を簡単にするためにマルチプレクサ 105 の図示は省略している。

【0068】また図 3 には、メモリセルアレイ 101 の (x , y) 座標にあるメモリセル 100 を示している。

なお図 3 では、説明を簡単にするために、リファレンスメモリセルアレイ 109 に設けられた (r , s)、

(r , $s+1$)、(r , $s+2$) 座標にある任意の 3 つのリファレンスメモリセル 107 を図示する。しかし、リファレンスメモリセルアレイ 109 に設けられるリファレンスメモリセル 107 の個数は特に限定されず、リファレンスメモリセルアレイ 109 には、少なくとも ($k-1$) 個のリファレンスメモリセル 107 が設けられていればよい。なお、(x , y)、(r , s) は座標を示し、 $1 \leq x \leq n$ 、 $1 \leq y \leq m$ 、 $r=1$ 、 $1 \leq s \leq l$ とする (x , y , l は自然数)。

【0069】図 3 において、 $Tr1 \sim Tr8$ はトランジスタを示す。抵抗 121 及び抵抗 122 は、メモリトランジスタ 104 の状態に応じた電位を発生するための回路であり、実効的に抵抗として機能している。つまり、抵抗 121 及び抵抗 122 は、実効的にメモリトランジスタ 104 の状態に応じた電位を発生する機能を有していればどのような構成でもよい。

【0070】図 3 において、メモリセル 100 はメモリトランジスタ 104 を有する。メモリトランジスタ 104 のソース領域は共通電極 (SC) に接続されており、ドレイン領域はセンスアンプ回路 123 の入力端子 1 に接続されている。またリファレンスメモリセル 107 は、リファレンスメモリトランジスタ 108 を有する。リファレンスメモリトランジスタ 108 のソース領域は共通電極 (SC) に接続されており、ドレイン領域はセンスアンプ回路 123 の入力端子 2 に接続されている。

【0071】抵抗 121 及び抵抗 122 には、電圧 (V_{cc}) が与えられる。また、メモリトランジスタ 104 及びリファレンスメモリトランジスタ 108 に接続された共通電極 (SC) には、電圧 (V_{ss}) が与えられる。多くの場合において、電圧 (V_{cc}) > 電圧 (V_{ss}) という関係が成り立っており、電圧 (V_{cc}) と電圧 (V_{ss}) との電位差によって、直列に接続された抵抗 121 とメモリトランジスタ 104 とに電流が流れる。同様に、直列に接続された抵抗 122 とリファレンスメモリトランジスタ 108 に電流が流れる。

【0072】またメモリトランジスタ 104 のドレイン電圧 (V_d) は、メモリトランジスタ 104 の実効的な抵抗と、抵抗 121 との比によって決定する。同様に、リファレンスメモリトランジスタ 108 のドレイン電圧 (V_d) は、リファレンスメモリトランジスタ 108 の

実効的な抵抗値と、抵抗 122 との比によって決定する。従って、抵抗 121 の抵抗値と、抵抗 122 の抵抗値が等しく、且つ、メモリトランジスタ 104 のコントロールゲートに印加される電圧と、リファレンスメモリトランジスタ 108 のコントロールゲートに印加される電圧が等しい場合には、メモリトランジスタ 104 のドレイン電圧 (V_d) 及びリファレンスメモリトランジスタのドレイン電圧 (V_d) の大小関係は、メモリトランジスタ 104 のしきい値電圧及びリファレンスメモリトランジスタ 108 のしきい値電圧の大小関係と一致する。そこで、本明細書においては、メモリトランジスタ 108 のドレイン電圧 (V_d) をメモリトランジスタ 104 のしきい値電圧に対応する電圧、リファレンスメモリトランジスタ 108 のドレイン電圧 (V_d) をリファレンスメモリトランジスタ 108 のしきい値電圧に対応する電圧とも呼ぶ。また、このようにして決定されるメモリトランジスタ 104 のドレイン電圧 (V_d) 及びリファレンスメモリトランジスタのドレイン電圧 (V_d) は、センスアンプ回路 123 の入力端子 1 及び入力端子 2 に入力される。

【0073】なお、センスアンプ回路 123 の入力端子 1 及び入力端子 2 のいずれか一方には、Tr 4 又は Tr 5 をオン状態又はオフ状態とすることによって、参照電圧 $V_{ref(s)}$ 、 $V_{ref(c)}$ 、 $V_{ref(d)}$ 、 $V_{ref(r)}$ のいずれか一つが入力される。

【0074】センスアンプ回路 123 では、入力端子 1 に入力された電圧（以下、 V_{d1} と称する）が、入力端子 2 に入力された電圧 (V_{d2} と称する) よりも大きい場合には High の信号を出力する。また、入力端子 1 に入力された電圧 (V_{d1}) が、入力端子 2 に入力された電圧 (V_{d2}) よりも小さい場合には、Low の信号を出力する。

【0075】最初に、リファレンスメモリトランジスタ 108 を用いたメモリトランジスタ 104 の電氣的読み出しについて説明する。ここで、(r, s) 座標に設けられたリファレンスメモリセル 107 からは参照電圧 $V_{ref(s)}$ が発生し、(r, s+1) 座標に設けられたリファレンスメモリセル 107 からは参照電圧 $V_{ref(s+1)}$ が発生するものとする。

【0076】そして、Tr 2、Tr 3、Tr 6 をオン状態とし、それ以外のトランジスタをオフ状態とする。また、メモリトランジスタ 104 と、(r, s) 座標のリファレンスメモリトランジスタ 108 に電圧 (V_{d1}) を印加する。この状態において、センスアンプ回路 123 の入力端子 1 及び入力端子 2 には、メモリトランジスタ 104 のしきい値電圧に対応するドレイン電圧 (V_{d1}) と、(r, s) 座標のリファレンスメモリトランジスタ 108 のしきい値電圧に対応するドレイン電圧 (V_{d2}) が入力される。そして、メモリトランジスタ 104 のしきい値電圧が、(r, s) 座標のリファレ

ンスメモリトランジスタ 108 のしきい値電圧よりも大きい場合には、センスアンプ回路 123 の出力端子から High の信号が出力される。また、メモリトランジスタ 104 のしきい値電圧が、(r, s) 座標のリファレンスメモリトランジスタ 108 のしきい値電圧よりも小さい場合には、センスアンプ回路 123 の出力端子から Low の信号が出力される。そして、センスアンプ回路 123 の出力端子から出力された High 又は Low の信号はデータラッチ群 132 に記憶される。

10 【0077】次に、Tr 3、Tr 6、Tr 7 をオン状態とし、それ以外のトランジスタをオフ状態とする。また、メモリトランジスタ 104 と、(r, s+1) 座標のリファレンスメモリトランジスタ 108 とに電圧

(V_{d2}) を印加する。この状態において、センスアンプ回路 123 には、メモリトランジスタ 104 のしきい値電圧に対応するドレイン電圧 (V_{d1}) と、(r, s+1) 座標のリファレンスメモリトランジスタ 108 のしきい値電圧に対応するドレイン電圧 (V_{d2}) が入力される。そして、メモリトランジスタ 104 のしきい値電圧が、(r, s+1) 座標のリファレンスメモリトランジスタ 108 のしきい値電圧よりも大きい場合には、センスアンプ回路 123 の出力端子から High の信号が出力される。また、メモリトランジスタ 104 のしきい値電圧が、(r, s+1) 座標のリファレンスメモリトランジスタ 108 のしきい値電圧よりも小さい場合には、センスアンプ回路 123 の出力端子から Low の信号が出力される。そして、センスアンプ回路 123 の出力端子から出力された High 又は Low の信号はデータラッチ群 132 に記憶される。

30 【0078】つまり、リファレンスメモリトランジスタ 108 を用いたメモリトランジスタ 104 の電氣的読み出しは、0 ~ (k-1) の情報を有するリファレンスメモリトランジスタ 108 の (k-1) 個の参照電圧と、メモリトランジスタ 104 のしきい値電圧とをセンスアンプ回路 123 を用いて比較することにより行う。

【0079】一例として、センスアンプ回路 123 から出力された信号が、全て High の信号であるメモリセル 100 は “k” の情報を有する。また、他の例として、参照電圧 $V_{ref(s)}$ と比較した場合には、センスアンプ回路 123 から High の信号が出力され、その他の参照電圧と比較した場合には、センスアンプ回路 123 から Low の信号が出力されたメモリセル 100 は、“k-1” の情報を有する。

【0080】次いで、本発明のリフレッシュ動作について説明する。本発明のリフレッシュ動作は、メモリセル 100 への電氣的書き込みと、リファレンスメモリセル 107 への電氣的書き込みとを合わせた動作を示しており、まずはメモリセル 100 への電氣的書き込みについて説明する。なお本実施の形態では、説明を簡単にするため、参照電圧 { $V_{ref(s)} \sim V_{ref(s+1)}$ } を用いて、

“k” の情報を有するメモリセル 100 に電氣的書き込みを行う場合について説明する。

【0081】メモリセル 100 への電氣的書き込み（ベリファイ書き込み）を行うときは、Tr 1、Tr 3、Tr 6 をオン状態とし、それ以外のトランジスタをオフ状態とする。

【0082】図 3 に示すように、メモリセル 100 が有するメモリトランジスタ 104 のドレイン領域は、センスアンプ回路 123 の入力端子 1 に接続されている。従って、センスアンプ回路 123 の入力端子 1 には、メモリトランジスタ 104 のドレイン電圧 ($V_{d,11}$) が入力される。またセンスアンプ回路 123 の入力端子 2 には、参照電圧 $V_{ref,1}$ または参照電圧 $V_{ref,2}$ のどちらか一方に対応したドレイン電圧が入力される。まずは、センスアンプ回路 123 の入力端子 2 には、参照電圧 $V_{ref,1}$ が入力される。そして、メモリトランジスタ 104 の電氣的読み出しを行い、読み出されたデータ (data 1 とする) はデータラッチ群 132 に記憶される。

【0083】次いで、Tr 6 をオフとして、Tr 5 をオンとする。そして、センスアンプ回路 123 の入力端子 1 には、メモリトランジスタ 104 のドレイン電圧 ($V_{d,11}$) が入力され、入力端子 2 には参照電圧 $V_{ref,2}$ が入力される。そして、メモリトランジスタ 104 の電氣的読み出しを行い、読み出されたデータ (data 2 とする) はデータラッチ群 132 に記憶される。なお、図 3 においては図示を省略するが、データラッチ群 132 に記憶された data 1 と data 2 は、ベリファイ回路において比較される。そして、data 1 の情報と data 2 の情報とが異なる場合には、メモリトランジスタ 104 の電氣的書き込みを再度行う。そして、センスアンプ回路 123 を用いて、メモリセル 100 の電氣的読み出しを再び行い、data 1 の情報と data 2 の情報が同じ情報として認識されるまで上述した動作を繰り返す。

【0084】次いで、リファレンスメモリセル 107 への電氣的書き込み（ベリファイ書き込み）を説明する。

【0085】リファレンスメモリセル 107 への電氣的書き込みを行う際は、Tr 2、Tr 4、Tr 6 のそれぞれをオン状態とし、その他のトランジスタはオフ状態とする。図 3 に示すように、リファレンスメモリセル 107 が有するリファレンスメモリトランジスタ 108 のドレイン領域は、センスアンプ回路 123 の入力端子 2 に接続されている。そしてセンスアンプ回路 123 の入力端子 1 には、リファレンスメモリトランジスタ 108 のドレイン電圧 ($V_{d,12}$) が入力され、入力端子 2 には参照電圧 $V_{ref,1}$ に対応するドレイン電圧 ($V_{d,11}$) が入力される。

【0086】センスアンプ回路 123 の出力端子からは、High または Low のいずれか一方の信号が出力される。センスアンプ回路 123 の出力端子からの信号が High の場合には、リファレンスメモリトランジスタ

108 のコントロールゲート (CG) に電圧を印加して、電氣的書き込みを再度行う。そして再びリファレンスメモリトランジスタ 108 のドレイン電圧 ($V_{d,12}$) をセンスアンプ回路 123 の入力端子 2 に入力する。この動作をセンスアンプ回路 123 の出力端子から Low の信号が出力されるまで繰り返して、リファレンスメモリトランジスタ 108 の電氣的書き込みを行う。

【0087】本実施の形態は、実施の形態 1 と自由に組み合わせることが可能である。

10 【0088】

【実施例】（実施例 1）本実施例では、リファレンスメモリセル 107 から発生される参照電圧を用いて電氣的読み出しを行うときに用いる回路の詳しい構成の一例について図 4 を用いて説明する。最初に図 4 (A) に示す回路とその動作について説明し、次いで図 4 (B) に示す回路とその動作について説明する。

20 【0089】図 4 (A) は、(x、y) 座標に設けられたメモリセル 100 と、(r、s) 座標に設けられたリファレンスメモリセル 107 がセンスアンプ回路 123 に電氣的に接続されている様子を示した図である。メモリトランジスタ 104 とリファレンスメモリトランジスタ 108 のソース領域及びドレイン領域は、一方は共通電極 (SC) に接続され、もう一方は抵抗 121 又は抵抗 122 の一方の端子に接続されている。抵抗 121 と抵抗 122 の他方の端子には電圧 (V_{cc}) が与えられる。

30 【0090】ここで、センスアンプ回路 123 の入力端子 1 に入力される電圧を $V_{d,1}$ とし、入力端子 2 に入力される電圧を $V_{d,2}$ とすると、 $V_{d,1}$ と $V_{d,2}$ によって以下の式 (1)、(2) が成立する。なお、 r_1 は抵抗 121 の抵抗値とし、 r_2 は抵抗 122 の抵抗値とする。また、 r_1 はメモリトランジスタ 104 の実効的な抵抗値とし、 r_2 はリファレンスメモリトランジスタ 108 の実効的な抵抗値とする。

【0091】

$$\text{【数 1】 } V_{d,1} = V_{cc} \times r_2 / (r_1 + r_2) \cdots (1)$$

【0092】

$$\text{【数 2】 } V_{d,2} = V_{cc} \times r_1 / (r_2 + r_1) \cdots (2)$$

40 【0093】またメモリトランジスタ 104 のしきい値電圧を $V_{th,1}$ 、リファレンスメモリトランジスタ 108 のしきい値電圧を $V_{th,2}$ とする。そうすると、 $V_{th,1} > V_{th,2}$ のときは、 $r_2 > r_1$ が成立する。同様に、 $V_{th,1} < V_{th,2}$ のときは、 $r_2 < r_1$ が成立する。

50 【0094】これを式 (1)、(2) に代入すると、 $V_{th,1} > V_{th,2}$ の場合は $V_{d,1} > V_{d,2}$ となり、 $V_{th,1} > V_{th,2}$ の場合は $V_{d,1} < V_{d,2}$ となる。つまり、 $V_{d,1}$ と $V_{d,2}$ をセンスアンプ回路 123 で比較することにより、メモリトランジスタ 104 のしきい値電圧 ($V_{th,1}$) とリファレンスメモリトランジスタのしきい値電圧 ($V_{th,2}$) を比較することが出来る。その結果、メモリトランジスタ 104

のしきい値電圧を読み出すことが出来る。

【0095】次いで、図4(B)に示す回路について説明する。図4(B)に示すように、メモリトランジスタ104とリファレンスメモリトランジスタ108のソース領域及びドレイン領域は、一方は共通電極(SC)に接続されており、もう一方はセンスアンプ回路123の入力端子1又は入力端子2に接続されている。ここで、入力端子1に入力される電圧を V_{d1} とし、入力端子2に入力される電圧を V_{d2} とすると、 V_{d1} と V_{d2} によって以下の式(3)、(4)が成立する。

【0096】

$$\text{【数3】 } V_{d1} = V_{t0} - V_{th1} \cdots (3)$$

【0097】

$$\text{【数4】 } V_{d2} = V_{t0} - V_{th2} \cdots (4)$$

【0098】また共通電極(SC)に印加される電圧(V_{t0})は以下の式(5)、(6)を満たすことが必要となる。

【0099】

$$\text{【数5】 } V_{t0} > V_{t0} - V_{th1} \cdots (5)$$

【0100】

$$\text{【数6】 } V_{t0} > V_{t0} - V_{th2} \cdots (6)$$

【0101】上記の式(5)、(6)から、 $V_{th1} > V_{th2}$ の場合には、 $V_{d1} < V_{d2}$ となり、 $V_{th1} < V_{th2}$ の場合には、 $V_{d1} > V_{d2}$ となる。つまり、 V_{d1} と V_{d2} をセンスアンプ回路123で比較することにより、メモリトランジスタのしきい値電圧(V_{th1})とリファレンスメモリトランジスタのしきい値電圧(V_{th2})とを比較することが出来る。その結果、メモリトランジスタ104のしきい値電圧(V_{th1})を読み出すことが出来る。

【0102】本実施例は、実施の形態1、2と自由に組み合わせることが可能である。

【0103】(実施例2)本実施例では、複数個のリファレンスメモリセル107が設けられたリファレンスメモリセルアレイ109を有する不揮発性メモリについて、図5を用いて説明する。

【0104】なお図5(A)、(B)では、説明を簡単にするために、リファレンスメモリセルアレイ109が抵抗122に接続されている部分のみを図示する。

【0105】図5(A)には、($1 \times q$)個のリファレンスメモリセル107を並列に設けたリファレンスメモリセルアレイ109を示している。

【0106】図5(A)において、リファレンスメモリセル107は、リファレンスメモリトランジスタ108を有する。リファレンスメモリトランジスタ108のソース領域及びドレイン領域は、一方は共通電極(SC)に接続されており、もう一方は抵抗122に接続されている。また、リファレンスメモリセルアレイ109が有するリファレンスメモリトランジスタ108のゲート電極は全て共通であり、接続配線(SA)に接続されている。

【0107】図5(A)において、複数のリファレンスメモリトランジスタ108のゲート電極には、接続配線(SA)を介して全て同じ電圧が印加される。ここで、抵抗122に1つのリファレンスメモリトランジスタ108が接続されている状態における抵抗122の実効的な抵抗値をRとする。図5(A)に示す回路の場合には、q個のリファレンスメモリトランジスタ108が設けられているので、抵抗122の実効的な抵抗値は R/q となる。

10 【0108】図5(B)には、($p \times 1$)個のリファレンスメモリセル107を直列に設けたリファレンスメモリセルアレイ109を示している。

【0109】図5(B)において、リファレンスメモリセル107は、リファレンスメモリトランジスタ108を有する。そして、座標(1, 1)に設けられたリファレンスメモリトランジスタ108のソース領域及びドレイン領域は、一方は共通電極(SC)に接続されており、もう一方は座標(2, 1)に設けられたリファレンスメモリトランジスタ108のソース領域又はドレイン領域のどちらか一方に接続されている。座標(2, 1)～座標($p-1$, 1)のリファレンスメモリトランジスタ108のソース領域及びドレイン領域は、それぞれ隣接するリファレンスメモリトランジスタ108のソース領域及びドレイン領域のどちらか一方に接続されている。座標(p , 1)のリファレンスメモリトランジスタ108のソース領域及びドレイン領域は、一方は抵抗122に接続され、もう一方は隣接するリファレンスメモリトランジスタ108のソース領域又はドレイン領域のどちらか一方に接続されている。また、リファレンスメモリセルアレイ109が有するリファレンスメモリトランジスタ108のゲート電極は全て共通であり、接続配線(SB)に接続されている。

【0110】図5(B)において、リファレンスメモリトランジスタ108のゲート電極には、接続配線(SB)を介して全て同じ電圧が印加される。ここで、抵抗122に1つのリファレンスメモリセル107が接続されている状態における抵抗122の実効的な抵抗値をRとする。図5(B)に示す回路の場合には、p個のリファレンスメモリトランジスタ108が設けられているので、抵抗122の実効的な抵抗値は($p \times R$)となる。

【0111】本実施例では、リファレンスメモリセルアレイ109に、直列に接続されたリファレンスメモリセル107を設けた例(図5(A))と、並列に接続されたリファレンスメモリセル107を設けた例(図5(B))とを説明したが、本発明はこれに限定されない。直列に接続されたリファレンスメモリセル107と、並列に接続されたリファレンスメモリセル107とを組み合わせてもよい。また、同じ参照電圧を発生するリファレンスメモリセル107を直列又は並列に設けてもよい。この場合には、仮に1つのリファレンスメモリ

セル 107 が不良状態であったとしても、それ以外のリファレンスメモリセル 107 を用いれば、リフレッシュ動作を正常に行うことが出来る。

【0112】図 5 (A) 及び図 5 (B) に示すように、複数のリファレンスメモリセル 107 を用いることによって、複数のリファレンスメモリセル 107 から発生する参照電圧の平均値を用いて、電氣的読み出しが行うことが出来る。そのため、電荷保持特性のばらつきの影響を低減することが出来る。さらに、リフレッシュ動作を行うときの信頼性の向上を図ることが出来る。

【0113】本実施例は、実施の形態 1、2、実施例 1 と自由に組み合わせることが可能である。

【0114】(実施例 3) 本実施例では、複数のセンスアンプ回路 123 と、複数のリファレンスメモリセル 107 とを設けた不揮発性メモリ及びその動作について、図 6 を用いて説明する。

【0115】図 6 には、複数のリファレンスメモリセル 107 と、複数のバイアス回路 130a 及び 130b と、複数のセンスアンプ回路 123 とが設けられた不揮発性メモリが示されている。なお実際には、上記の回路以外にも、図 1 に示すように書き込み・消去回路 106a、ベリファイ回路 134 等が設けられているが、図 6 では図示を省略した。

【0116】並列に設けられたリファレンスメモリセル 107 のソース領域とドレイン領域は、一方はセンスアンプ回路 123 の入力端子 1 に接続されており、もう一方は共通電極 (SC) に接続されている。メモリトランジスタ 104 のソース領域とドレイン領域は、一方はセンスアンプ回路の入力端子 2 に接続されており、もう一方は共通電極 (SC) に接続されている。

【0117】センスアンプ回路 123 の一方の入力端子にはメモリセル 100 のドレイン電圧 ($V_{d,100}$) が入力され、もう一方の入力端子にはリファレンスメモリセル 107 のドレイン電圧 ($V_{d,107}$) が入力される。図 6 に示す読み出し回路 106b には、複数のセンスアンプ回路 123 が設けられており、メモリセルアレイ 101 に設けられた一行分のメモリセル 100 の電氣的読み出しを同時に行うことが出来る。

【0118】また図 6 に示す読み出し回路 106b には、センスアンプ回路 123 が一列に一個ずつ設けられているが、本発明はこれに限定されない。例えば、メモリセル 100 を任意のグループに分類して、グループ毎にリファレンスメモリセル 107 及びセンスアンプ回路 123、並びにバイアス回路 130a 及び 130b を設けることも出来る。

【0119】本実施例は、実施の形態 1、2、実施例 1、2 と自由に組み合わせることが可能である。

【0120】(実施例 4) 本実施例では、8 個のメモリセルを 1 つのユニットセルとし、該ユニットセルがマトリクス状に複数個配置されたメモリセルアレイを有する

NAND 型 EEPROM について図 7 ~ 10 を用いて説明する。

【0121】最初に、NAND 型 EEPROM の構成の概略について、図 7 を用いて説明する。図 7 には、NAND 型 EEPROM のメモリセルアレイ 301 が示されている。メモリセルアレイ 301 には、マトリクス状に設けられた ($n \times m$) 個のユニットセル 300 と (n , m は自然数)、($m \times 8$) 本のワード線 ([WL1 (1) ~ WL1 (8)] ~ [WLm (1) ~ WLm (8)]) と、 m 本の選択用ゲート線 (SS1 ~ SSm) と、 m 本の選択用ゲート線 (SD1 ~ SDm) と、 n 本のビット線 (BL1 ~ BLn) とを有する。

【0122】ユニットセル 300 は、直列に接続された 8 個のメモリトランジスタ [MT r1 (x , y) ~ MT r8 (x , y)] と、2 個の選択用トランジスタ [ST r1 (x , y)、ST r2 (x , y)] を有する。本明細書において、(x , y) は座標を示し、 $1 \leq x \leq n$ 、 $1 \leq y \leq m$ とする。(x , y は自然数)

【0123】図 7 において、メモリトランジスタ [MT r1 (x , y) ~ MT r8 (x , y)] のコントロールゲート (CG) 11 は、ワード線 ([WL1 (1) ~ WL1 (8)] ~ [WLm (1) ~ WLm (8)]) のいずれか一つと接続されている。また、メモリトランジスタ [MT r1 (x , y) ~ MT r8 (x , y)] のソース領域とドレイン領域は、一方はビット線 (BL1 ~ BLn) のいずれか一つと接続されており、もう一方は共通電極 (SC) に接続されている。

【0124】メモリセルアレイ 301 の周囲には、ワード線側駆動回路 303、Y アドレスデコーダ 302、マルチプレクサ 305、書き込み・消去回路 306a、読み出し回路 306b、ベリファイ回路 334 及びバッファ 333 が設けられている。読み出し回路 306b は、バイアス回路 330a、バイアス回路 330b、センスアンプ回路 323 及びデータラッチ群 332 を有する。バイアス回路 330a は、マルチプレクサ 305 を介して任意のユニットセル 300 と接続している。またバイアス回路 330b は、リファレンスメモリセルアレイ 309 に設けられた任意のリファレンスメモリセル 307 と接続している。なお、図 7 に示すリファレンスメモリセルアレイ 309 には、リファレンスメモリセル 307 が (1×1) 個のみ設けられているが、本発明はこれに限定されない。リファレンスメモリセルアレイ 309 に設けられるリファレンスメモリセル 307 の個数はいくつでもよい。但し、 k 値の不揮発性メモリには、少なくとも ($k-1$) 個のリファレンスメモリセル 307 が設けられていることが必要となる。

【0125】次いで、上記メモリトランジスタ [MT r1 (x , y) ~ MT r8 (x , y)] の断面構造について、図 8 を用いて説明する。図 8 において、11 はフローティングゲート (FG)、12 はコントロールゲート

(CG)、13はP⁻well、14はソース領域(S)、15はドレイン領域(D)、16はN⁺基板を示している。P⁻well 13とN⁺基板16は、不純物元素が添加されたシリコン基板であり、それぞれ異なる導電型が付与されている。図8(A)は、電氣的読み出しを行うメモリトランジスタ[MTr1(x, y)~MTr8(x, y)]の断面構造を示し、図8(B)は、電氣的消去を行うメモリトランジスタ[MTr1(x, y)~MTr8(x, y)]の断面構造を示し、図8(C)は、電氣的書き込みを行うメモリトランジスタ

【0126】ここで、NAND型EEPROMの電氣的読み出し、電氣的消去、電氣的書き込みの各動作につい

$$\text{【数7】 } 0.5\text{V} \leq V_{i(\dots)} \leq 4.5\text{V} \dots (7)$$

【0128】

$$\text{【数8】 } 5.5\text{V} \leq V_{i(\dots)} \leq 7.0\text{V} \dots (8)$$

【0129】最初に、NAND型EEPROMの電氣的読み出しについて図9(A)を用いて説明する。図9

(A)には、(x, y)に配置されたユニットセル300が示されている。本実施例では、メモリトランジスタMTr7(x, y)を選択して、メモリトランジスタMTr7(x, y)が有する情報の電氣的読み出しを行うことにする。なお図8(A)には、電氣的読み出しを行うときにおけるメモリトランジスタMTr7(x, y)の断面構造が示されているので、適宜参照するとよい。

【0130】選択されたメモリトランジスタMTr7(x, y)のゲート電極に電圧(本実施例では仮に5.0Vとする)を印加する。非選択された(選択されなかった)メモリトランジスタMTr1(x, y)~MTr6(x, y)、MTr8(x, y)のゲート電極にも電圧(本実施例では仮に8.0Vとする)を印加する。上述した式(7)、式(8)より、非選択されたメモリトランジスタMTr1(x, y)~MTr6(x, y)、MTr8(x, y)は、電圧8.0Vを印加されることにより導通状態になる。

【0131】この状態において、選択されたメモリトランジスタMTr7(x, y)のドレイン電圧($V_{d(i)}$)は、バイアス回路330aを介して、センスアンプ回路323の入力端子1に入力される。また、(r, s)座標に設けられたリファレンスメモリトランジスタ308のドレイン電圧($V_{d(r,s)}$)がセンスアンプ回路323の入力端子2に入力される。そして、センスアンプ回路123の出力端子から、High又はLowのどちらか一方の信号が出力される。

【0132】なお本実施例において、(r, s)座標に設けられたリファレンスメモリセル307からは参照電圧 V_{ref} が発生するものとする。

て説明する。本実施例においては、説明を簡単にするために、2値のNAND型EEPROMに関して説明するが、本発明はこれに限定されず多値のNAND型EEPROMにも適用することが出来る。そして本実施の形態では、メモリトランジスタ[MTr1(x, y)~MTr8(x, y)]のしきい値電圧が0.5V以上、4.5V以下の場合において、“1”の情報を有するものとする。また、しきい値電圧が5.5V以上、7.0V以下の場合において、“0”の情報を有するものとする。本明細書では、“0”の情報を有するしきい値電圧を、 $V_{i(\dots)}$ で示し、“1”の情報を有するしきい値電圧を、 $V_{i(\dots)}$ と表記する。このとき、 $V_{i(\dots)}$ と $V_{i(\dots)}$ は、以下の式(7)、(8)を満たす。

【0127】

【0133】そしてセンスアンプ回路323の入力端子1には、メモリトランジスタMTr7(x, y)のドレイン電圧($V_{d(i)}$)が入力される。またセンスアンプ回路323の入力端子2には、(r, s)座標に設けられたリファレンスメモリトランジスタ308のドレイン電圧(参照電圧 $V_{d(r,s)}$ に対応する電圧)が入力される。そうすると、センスアンプ回路323の出力端子から、High又はLowのいずれか一方の信号が出力される。そして、センスアンプ回路123の出力端子から出力されたHigh又はLowの信号はデータラッチ群332に記憶される。

【0134】本実施例においては、センスアンプ回路323から出力された信号が、Highの信号であるメモリトランジスタMTr7(x, y)は“0”の情報を有するとして判断される。また、Lowの信号であるメモリトランジスタMTr7(x, y)は“1”の情報を有するとして判断される。以上のようにして、電氣的読み出しが行なわれる。

【0135】次いで、NAND型EEPROMの電氣的消去について、図9(B)を用いて説明する。なお図8(B)には、電氣的消去を行った際のメモリトランジスタ[MTr1(x, y)~MTr8(x, y)]の断面構造が示されているので、適宜参照するとよい。

【0136】また本実施例では、NAND型EEPROMのメモリセルアレイ301が有する情報を一括で電氣的消去する場合について説明する。すなわち、全てのメモリトランジスタ[MTr1(x, y)~MTr8(x, y)]が有する情報を一括で電氣的消去する。

【0137】なお電氣的消去とは、全てのメモリトランジスタ[MTr1(x, y)~MTr8(x, y)]のフローティングゲート11に蓄積された電荷を抜き取っ

て、全てのメモリトランジスタ $[MTr1(x, y) \sim MTr8(x, y)]$ のしきい値電圧を 4.5V 以下として、“1”の状態にすることをよぶ。

【0138】まず、 $P^+well13$ と N^- 基板16に、それぞれ20Vの電圧を印加する。そして、ワード線 $[WLy(1) \sim WLy(8)]$ には0Vの電圧を印加する。つまり、メモリトランジスタ $[MTr1(x, y) \sim MTr8(x, y)]$ のコントロールゲート12には0Vの電圧が印加される。この状態になると、フローティングゲート11に蓄積された電子は、 $P^+well13$ の方に放出される。その結果、全てのメモリトランジスタのしきい値は、4.5V以下とすることができる。以上のようにして、電氣的消去が行なわれる。

【0139】次いで、NAND型EEPROMの電氣的書き込みについて、図10を用いて説明する。なお図8(C)には、電氣的書き込みを行った際のメモリトランジスタ $[MTr1(x, y) \sim MTr8(x, y)]$ の断面構造が示されているので、適宜参照するとよい。

【0140】本実施例では、ワード線 $[WLy(2)]$ を選択して、メモリトランジスタ $MTr2(x, y)$ に“0”の情報の電氣的書き込みを行うことにする。なお電氣的書き込みは、選択されたワード線 $[WLy$

(2)]に接続されているメモリトランジスタ $[MTr2(1, y) \sim MTr2(n, y)]$ に同時に行う。

【0141】まず、 $P^+well13$ 、 N^- 基板16、ビット線(BLx)には、0Vの電圧が印加される。次いで、選択されたワード線 $[WLy(2)]$ には、高電圧の20Vの電圧が印加される。そして、非選択されたワード線 $WLy(1)$ 、 $[WLy(3)] \sim [WLy(8)]$ には、電圧(本実施例では、仮に7.0Vとする)が印加される。

【0142】ここで、選択されたメモリトランジスタ $MTr2(x, y)$ に“0”の情報の電氣的書き込みを行うので、メモリトランジスタ $MTr2(x, y)$ のしきい値電圧を5.5V～7.0Vの範囲にする必要がある。メモリトランジスタ $MTr2(x, y)$ には、電氣的消去が行われているため、メモリトランジスタ $MTr2(x, y)$ のしきい値電圧は4.5V以下となっている。そのため、フローティングゲート12に電子を注入する必要がある。

【0143】従って、ビット線(BLx)には0Vの電圧を印加して、選択ゲート信号線(SSy)には20Vの高電圧を印加する。また、選択ゲート信号線(SDy)には0Vの電圧を印加する。

【0144】このような状態において、メモリトランジスタ $MTr2(x, y)$ の、コントロールゲート12と、 $P^+well13$ の間には20Vの電圧が印加され、 P^- 基板13からフローティングゲート11に電子を注入することが出来る。

【0145】一方、ビット線 $[BL(x+1)]$ に接続

されたメモリトランジスタ $MTr2(x+1, y)$ には、“1”の情報が書き込まれる。そうすると、電氣的消去を行ったときに、全てのメモリトランジスタのしきい値電圧は4.5V以下になっているため、何の状態の変化を起こさないことが“1”の情報を書き込むことになる。

【0146】しかしながら、ワード線 $(WLy(2))$ には、高電圧の20Vが印加されている。そこで、 $P^+well13$ から、フローティングゲート11に電子の注入が行われないように、ある特定の電位(本実施例では、仮に7.0Vとする)をビット線 $[BL(x+1)]$ に印加する。

【0147】以上の動作を行うことにより、メモリトランジスタ $MTr2(x+1, y)$ に、“1”の情報を書き込むことが出来る。

【0148】次いで、NAND型EEPROMに、本発明のリフレッシュ動作を適用する場合について、図7を用いて説明する。メモリトランジスタ $[MTr1(x, y) \sim MTr8(x, y)]$ とリファレンスメモリトランジスタ308は、同じ特性を有する。

【0149】本発明のリフレッシュ動作は、メモリセルへの電氣的書き込みと、リファレンスメモリセルへの電氣的書き込みとを合わせた動作をよぶが、まずはメモリセルへの電氣的書き込みについて説明する。本実施例では、参照電圧 V_{ref1} と V_{ref2} を用いて、“k”の情報を有するメモリトランジスタ $MTr7(x, y)$ に電氣的書き込みを行う場合について説明する。

【0150】図7に示すように、ユニットセル300が有するメモリトランジスタ $MTr7(x, y)$ のドレイン領域は、センスアンプ回路323の入力端子1に接続されている。つまり、センスアンプ回路323の入力端子1には、メモリトランジスタ $MTr7(x, y)$ のドレイン電圧 (V_{dout}) が入力される。また、センスアンプ回路323の入力端子2には、参照電圧 V_{ref1} と V_{ref2} のどちらか一方が入力される。最初は、センスアンプ回路323の入力端子2には、参照電圧 V_{ref1} が入力される。そして、メモリトランジスタ $MTr7$

(x, y)の電氣的読み出しを行い、読み出されたデータ(以下、data1と表記する)はデータラッチ群132に記憶される。

【0151】次いで、センスアンプ回路323の入力端子1にはメモリトランジスタ $MTr7(x, y)$ のドレイン電圧 (V_{dout}) が入力され、入力端子2には参照電圧 V_{ref2} が入力される。そして、メモリトランジスタ $MTr7(x, y)$ の電氣的読み出しを行い、読み出されたデータ(以下、data2と表記する)はデータラッチ群132に記憶される。ここでdata1の情報とdata2の情報とが異なる場合には、メモリトランジスタ $MTr7(x, y)$ に電圧が印加されてメモリトランジスタ $MTr7(x, y)$ の電氣的書き込みを再度行う。そして、

data1 の情報と data2 の情報が同じ情報として認識されるまで、センスアンプ回路 323 を用いてメモリトランジスタ MTr7 (x, y) の電氣的読み出しを行う。

【0152】次いで、リファレンスメモリセル 307 への電氣的書き込みを、図 7 を用いて説明する。本実施の形態では、参照電圧 V_{ref1} と V_{ref2} を用いて、

“k” の情報を有するリファレンスメモリセル 307 に電氣的書き込みを行う場合について説明する。

【0153】図 7 に示すように、リファレンスメモリセル 307 が有するリファレンスメモリトランジスタ 308 のドレイン領域は、センスアンプ回路 323 の入力端子 2 に接続されている。センスアンプ回路 323 の入力端子 2 には、リファレンスメモリトランジスタ 308 のドレイン電圧 (V_{drr}) が入力され、入力端子 1 には参照電圧 V_{ref1} が入力される。

【0154】センスアンプ回路 323 の出力端子からは、High または Low の信号が出力される。センスアンプ回路 323 の出力端子からの信号が High の場合には、リファレンスメモリトランジスタ 308 のコントロールゲート (CG) に電圧を印加して、電氣的書き込みを行う。そして、再びリファレンスメモリトランジスタ 308 のドレイン電圧 (V_{drr}) をセンスアンプ回路 323 の入力端子 2 に入力する。このようにして、センスアンプ回路 323 の出力端子から Low の信号が出力されるまで上記の動作を繰り返し、リファレンスメモリトランジスタ 308 の電氣的書き込みを行う。

【0155】本実施例は、実施の形態 1、2、実施例 1 ~ 3 と自由に組み合わせることが可能である。

【0156】(実施例 5) 本発明を用いた不揮発性メモリは様々な用途で用いることが出来る。例えば、パソコンなどに内蔵された記憶媒体として用いてもよいし、またメモリカードに内蔵された記憶媒体として用いることも出来る。本実施例では、タイマーと電池が設けられた不揮発性メモリについて、図 11 を用いて説明する。

【0157】図 11 は、本発明の不揮発性メモリの構成を簡単に表した図である。500 はメモリセルアレイであり、501 はワード線側駆動回路、502 はビット線側駆動回路である。ワード線側駆動回路 501 とビット線側駆動回路 502 は、メモリセルアレイ 500 を制御する役目を担う。503 はリファレンスメモリセルアレイであり、504 は書き込み・読み出し・消去回路である。書き込み・読み出し・消去回路 504 は、リファレンスメモリセルアレイ 503 を制御する役目を担う。メモリセルアレイ 500 は、複数のメモリセルを有する。リファレンスメモリセルアレイ 503 は、少なくとも (k-1) 個のリファレンスメモリセルを有する。

【0158】505 はタイマーであり、506 は電池である。電池 506 は、タイマー 505 のバックアップ用の電池として用いられる。

【0159】不揮発性メモリにタイマー 505 と電池 50

06 が設けられている場合には、タイマー 505 を用いて、最後にリフレッシュ動作を行ってから経過した時間を測定することが出来る。そして、経過時間があらかじめ設定した時間に達するごとに、リフレッシュ動作を行うようにすることが出来る。そのときには、タイマー 505 から書き込み・読み出し・消去回路 504 にリフレッシュ信号を出力して、メモリセルアレイ 500 にリフレッシュ動作を行なうようにしてもよい。また、電源 507 をオンした時点、電源 507 をオフした時点で自動的にリフレッシュ動作を行うように設定してもよい。

【0160】本実施例は、実施の形態 1、2、実施例 1 ~ 4 と自由に組み合わせることが可能である。

【0161】(実施例 6) 上述した実施の形態では、図 8 に示すコントロールゲート 11、フローティングゲート 12、ソース領域 14 及びドレイン領域 15 を有する構成のメモリトランジスタを用いた場合について説明した。しかし本発明は、様々な構成のメモリトランジスタに適用することが出来る。そこで本実施例では、図 8 に示した構成以外のメモリトランジスタについて、図 12 を用いて説明する。

【0162】図 12 (A) には、クラスタ層を有するメモリトランジスタの断面構造の一例が示す。該メモリトランジスタは、活性領域 2601 と、第一絶縁膜 2602 と、クラスタ層 2603 と、第二絶縁膜 2605 と、コントロールゲート 2606 とを有する。なお、代表的なクラスタ層を有するメモリトランジスタについては、特開昭 49-22356 号公報に記載されている。

【0163】クラスタ層 2603 は、複数のクラスタ 2604 で構成される。本明細書において、クラスタ 2604 とは、電荷を蓄積する機能を有し、離散的な塊状の半導体又は導体 (金属) によって構成されるものをよぶ。

【0164】次いで、図 12 (B)、図 12 (C) には、電荷を蓄積する領域として機能する窒化膜を有するメモリトランジスタの断面構造を示す。図 12 (B) に示すメモリトランジスタは、MNOS (Metal-Nitride-Oxide-Semiconductor) 型とよばれており、活性領域 2607 と、酸化膜 2608 と、窒化膜 2609 と、コントロールゲート 2610 とを有する。なお、本実施例において、酸化膜 2608 は酸化シリコン膜 (SiO_2) で形成し、窒化膜 2609 は窒化シリコン膜 (Si_3N_4 膜) で形成した。

【0165】図 12 (C) に示すメモリトランジスタは、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 型とよばれており、活性領域 2611 と、第一酸化膜 2612 と、窒化膜 2613 と、第二酸化膜 2614 と、コントロールゲート 2615 とを有する。なお、本実施例において、第一酸化膜 2612 と第二酸化膜 2614 は酸化シリコン膜 (SiO_2 膜) で形成し、窒化膜 2613 は窒化シリコン膜 (Si_3N_4 膜) で形成した。

【0166】上記の2つのメモリトランジスタにおいては、窒化膜2609及び窒化膜2613が電荷を蓄積する機能を有し、窒化膜2609及び窒化膜2613中の離散的な不純物準位が、電荷を蓄積する役割を果たしている。

【0167】MNOS型(図12(B))と、MONOS型(図12(C))のメモリトランジスタが有する窒化膜は、他のメモリトランジスタに比べると電荷保持特性が劣っている。そのため、本発明のリフレッシュ動作は用いることは大変有効である。

【0168】本実施例は、実施の形態1、2、実施例1～5と自由に組み合わせることが可能である。

【0169】(実施例7)本発明の不揮発性メモリを記憶媒体として用いた電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記憶媒体を備えた画像再生装置(具体的にはデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。それら電子機器の具体例を図18に示す。

【0170】図18(A)は発光装置であり、筐体3001、支持台3002、表示部3003、スピーカー部3004、ビデオ入力端子3005等を含む。本発明の不揮発性メモリは表示部3003やその他の信号制御回路に接続され、画像信号の補正や処理データの記憶媒体として用いられる。

【0171】図18(B)はデジタルスチルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明の不揮発性メモリは、デジタルスチルカメラに内蔵されたLSI基板等に組み込まれ、画像データの記憶媒体として用いられる。

【0172】図18(C)はノート型パーソナルコンピュータであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明の不揮発性メモリは、ノート型パーソナルコンピュータに内蔵されたLSI基板等に組み込まれ、画像データや処理データの記憶媒体として用いられる。

【0173】図18(D)はモバイルコンピュータであり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明の不揮発性メモリは、モバイルコンピュータに内蔵されたLSI基板等に組み込まれ、画像データや処理データの記憶媒体として用いられる。

【0174】図18(E)は記憶媒体を備えた携帯型の

画像再生装置(具体的にはDVD再生装置)であり、本体3401、筐体3402、表示部A3403、表示部B3404、記憶媒体(DVD等)読み込み部3405、操作キー3406、スピーカー部3407等を含む。本発明の不揮発性メモリは、DVD再生装置に内蔵されたLSI基板等に組み込まれ、画像データの記憶媒体として用いられる。

【0175】図18(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体3501、表示部3502、アーム部3503を含む。本発明の不揮発性メモリは、ゴーグル型ディスプレイに内蔵されたLSI基板等に組み込まれ、画像データの記憶媒体として用いられる。

【0176】図18(G)はビデオカメラであり、本体3601、表示部3602、筐体3603、外部接続ポート3604、リモコン受信部3605、受像部3606、バッテリー3607、音声入力部3608、操作キー3609等を含む。本発明の不揮発性メモリは、ビデオカメラに内蔵されたLSI基板等に組み込まれ、画像データの記憶媒体として用いられる。

【0177】ここで図18(H)は携帯電話であり、本体3701、筐体3702、表示部3703、音声入力部3704、音声出力部3705、操作キー3706、外部接続ポート3707、アンテナ3708等を含む。本発明の不揮発性メモリは、携帯電話に内蔵された基板等に組み込まれ、電話番号を記憶する記憶媒体として用いられる。

【0178】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の記憶媒体として用いることが可能である。

【0179】

【発明の効果】本発明の不揮発性メモリは、リフレッシュメモリトランジスタから発生される参照電圧を用いて、メモリトランジスタの電気的読み出しを行うため、シフト現象が生じたメモリトランジスタが有する情報を正確に読み出すことが出来る。

【0180】また、本発明のリフレッシュ動作は、リフレッシュ動作を行う期間を従来よりも長くすることが可能となり、メモリトランジスタに記憶された情報の信頼性が向上する。また、しきい値電圧の分布間のマージンを小さくすることが出来るため、多値の不揮発性メモリの集積度が向上する。

【図面の簡単な説明】

【図1】 本発明の不揮発性メモリの回路図を示す図。

【図2】 不揮発性メモリ(k値メモリ)のシフト現象を説明する図。

【図3】 本発明の不揮発性メモリの読み出し回路を説明する図。

【図4】 本発明の不揮発性メモリの読み出し回路を説明する図

【図 5】 本発明の不揮発性メモリの読み出し回路を説明する図

【図 6】 本発明の不揮発性メモリの回路図を示す図。

【図 7】 NAND型EEPROMの回路図を示す図。

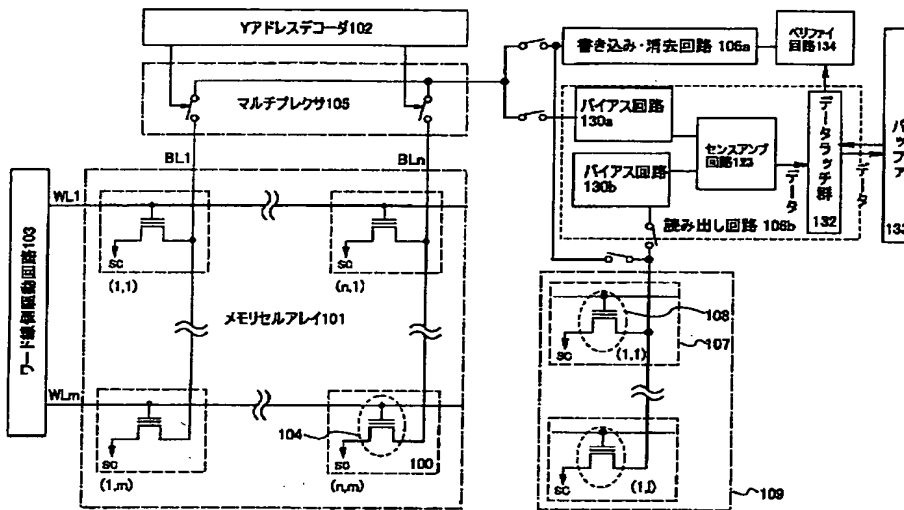
【図 8】 NAND型EEPROMのメモリトランジスタの断面構造を示す図。

【図 9】 NAND型EEPROMのユニットセルを示す図。

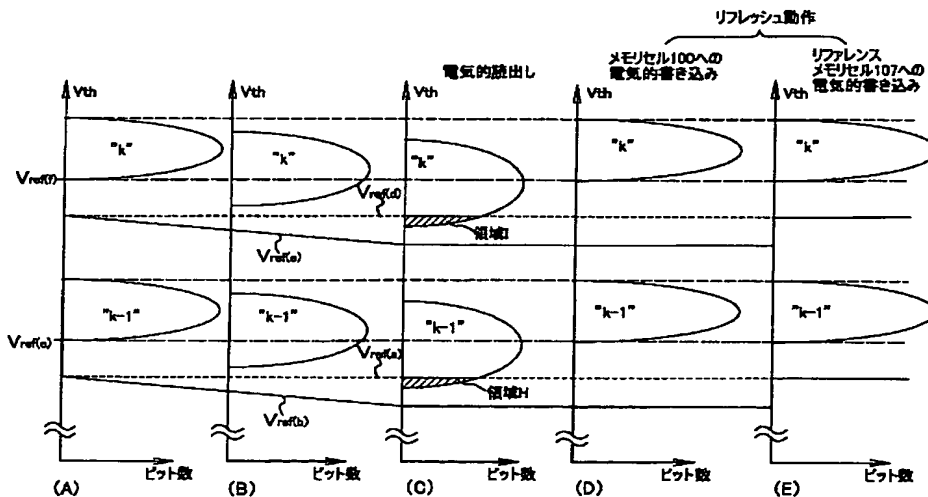
【図 10】 NAND型EEPROMのユニットセルを示す図。

【図 11】 本発明の不揮発性メモリのブロック図を示す図。

【図 1】



【図 2】



【図 12】 メモリトランジスタの断面構造を示す図。

【図 13】 従来の不揮発性メモリの回路図を示す図。

【図 14】 メモリトランジスタの断面構造を示す図。

【図 15】 不揮発性メモリ (2 値メモリ) のシフト現象を説明する図。

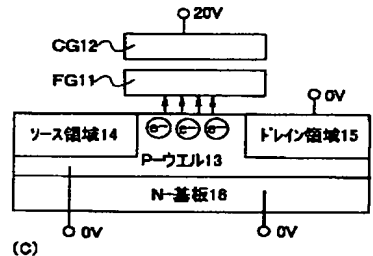
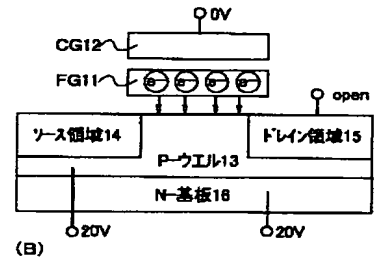
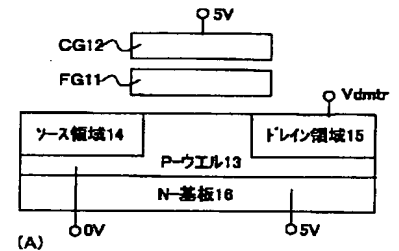
【図 16】 不揮発性メモリ (4 値メモリ) のシフト現象を説明する図。

【図 17】 ベリファイ動作を説明する図。

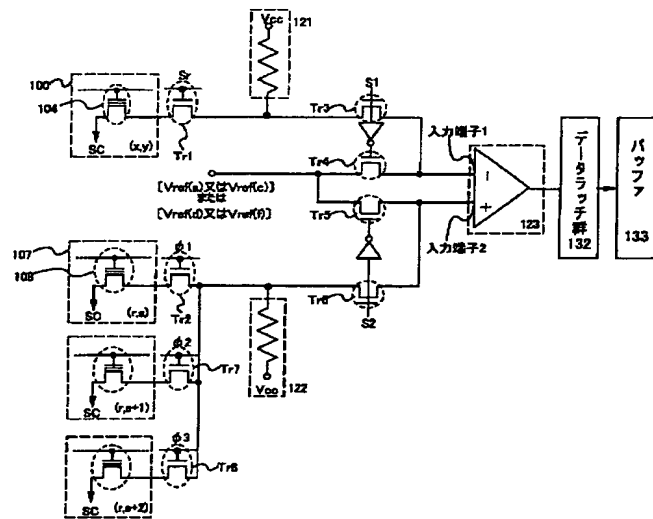
【図 18】 本発明の不揮発性メモリを記憶媒体として

10 適用することができる電子機器の図。

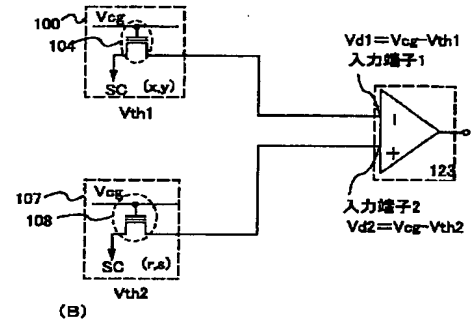
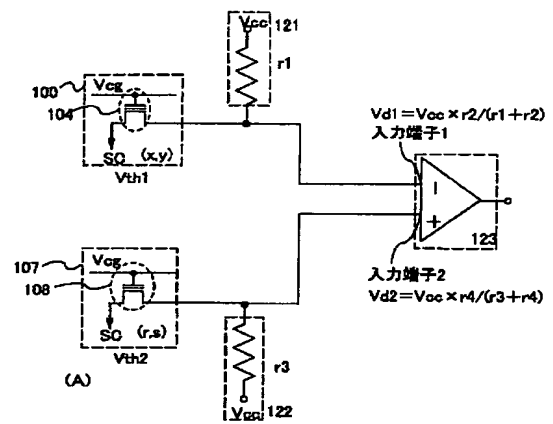
【図 8】



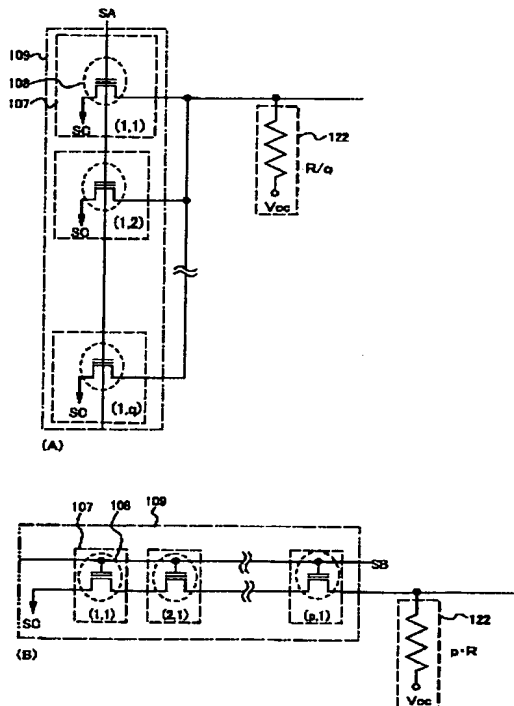
【図 3】



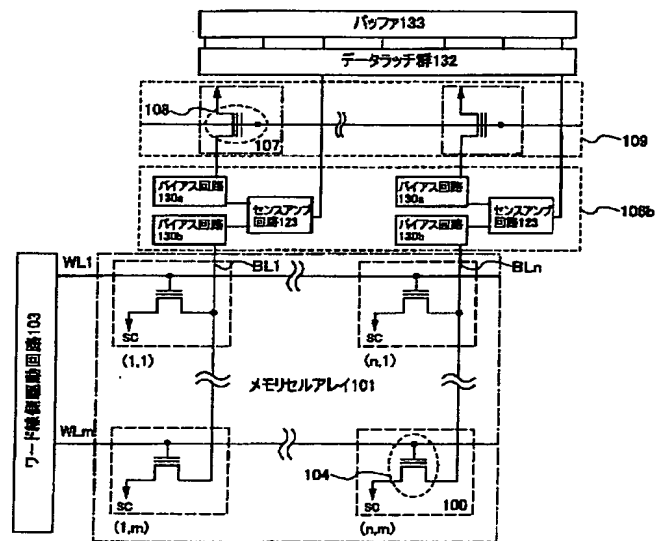
【図 4】



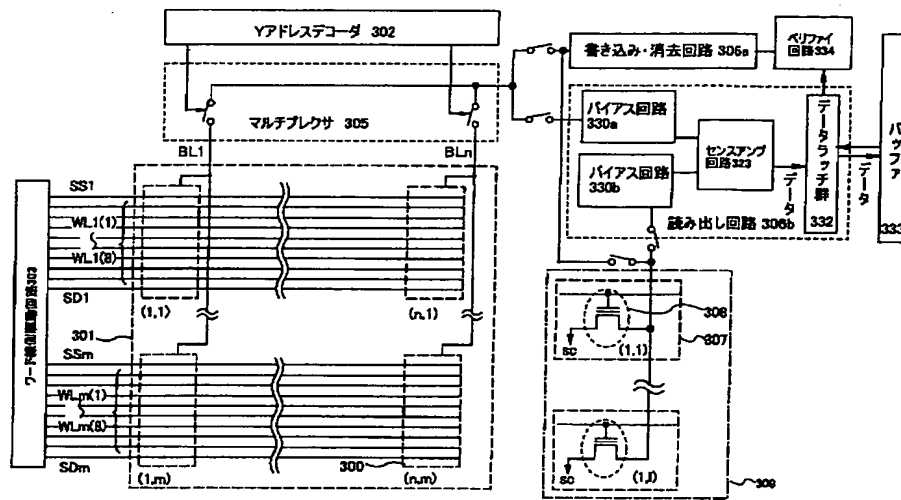
【図 5】



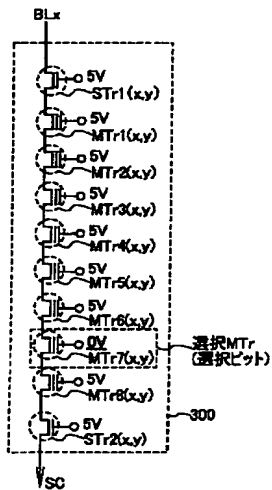
【図 6】



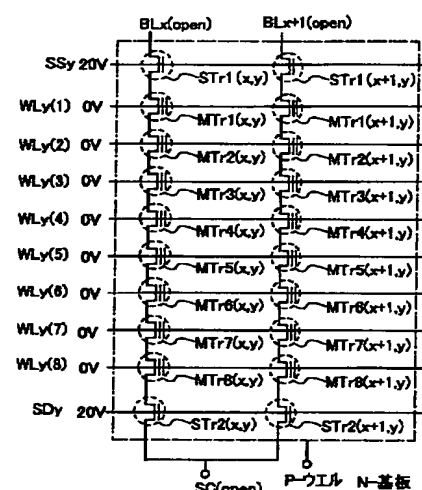
【図7】



【図9】

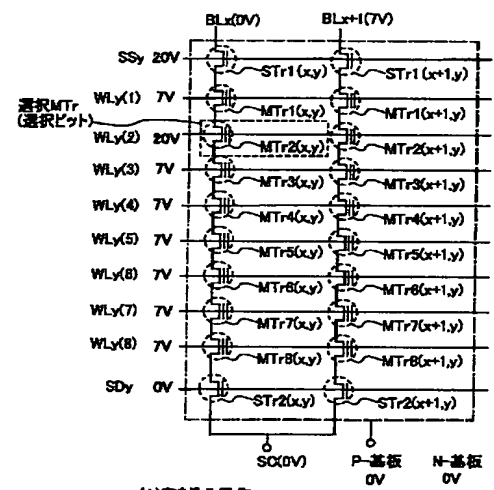


(A)読み出し動作



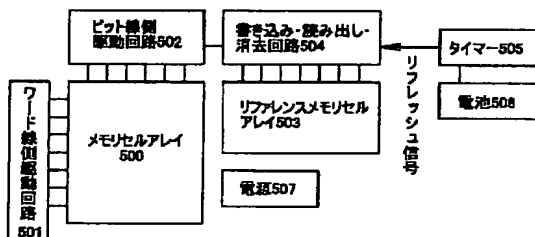
(B)消去動作

【図10】

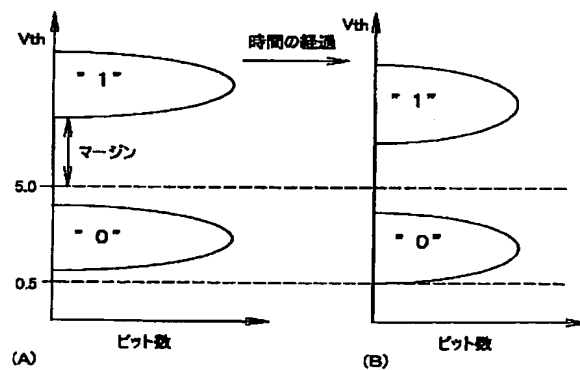


(A)書き込み動作

【図11】



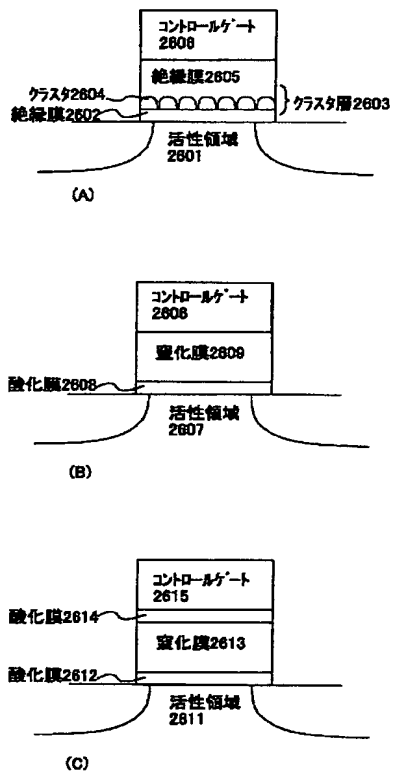
【図15】



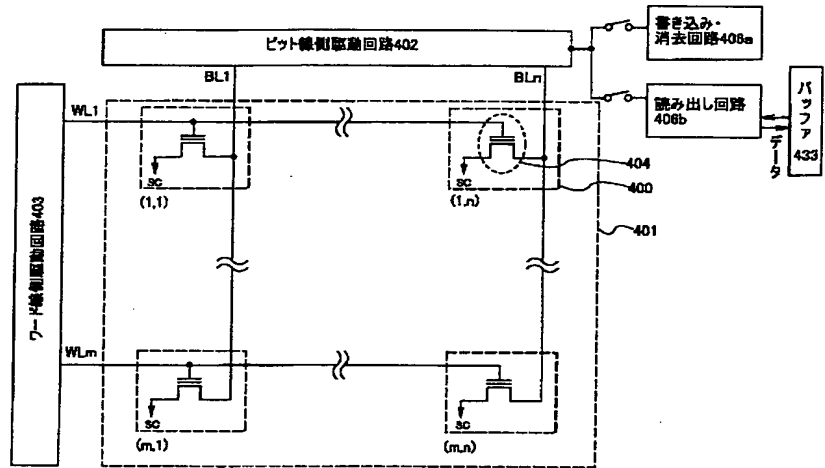
(A)

(B)

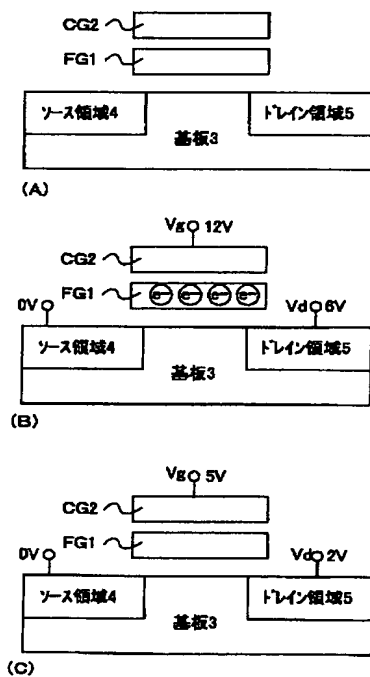
【図12】



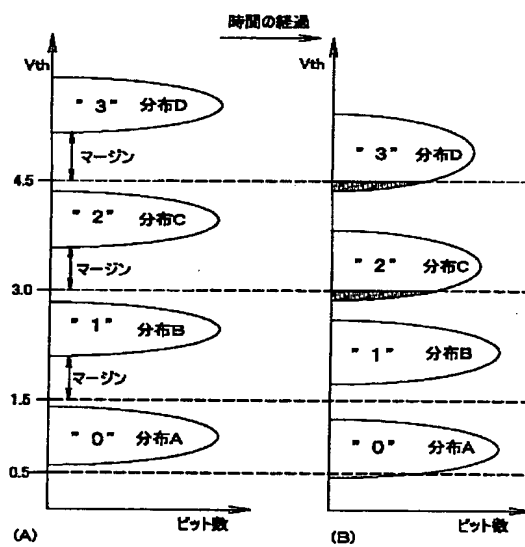
【図13】



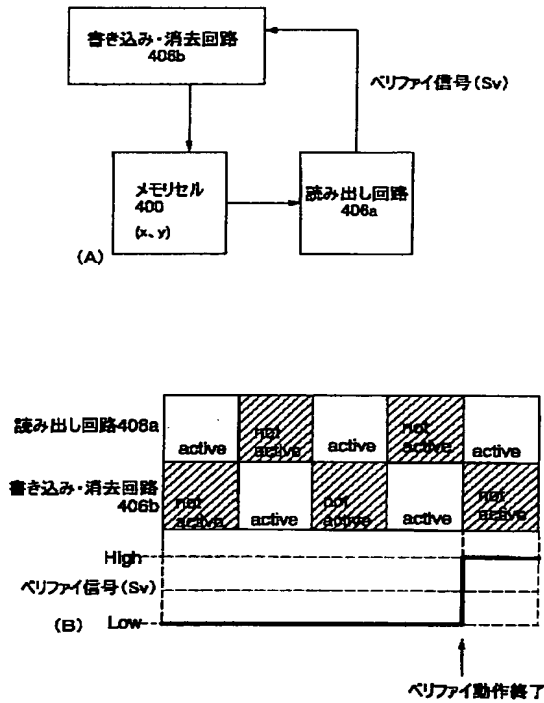
【図14】



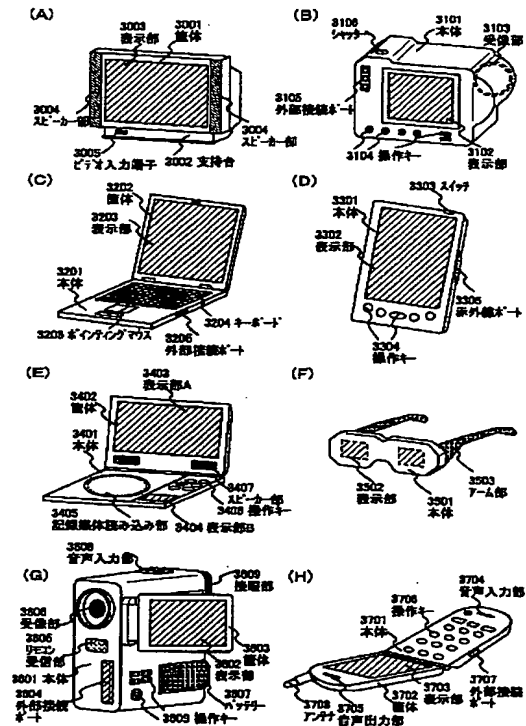
【図16】



【図 17】



【図 18】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 29/792

識別記号

F I

G 1 1 C 17/00

ターマコード (参考)

6 4 1

6 1 1 A

F ターム (参考) 5B025 AA01 AD04 AD05 AD07 AE04
 5F083 EP02 EP17 EP18 EP23 EP33
 EP34 EP76 ER09 ER19 GA11
 GA21 LA03 LA04 LA05 PR46
 ZA21
 5F101 BA02 BA45 BA46 BB05 BD22
 BD34 BD36 BE02 BE05 BE07
 BF02 BF05